

Docket No.: 67161-086

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Koichi ISHIMI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: August 25, 2003	:	Examiner:
	:	
For:	:	INFORMATION PROCESSING APPARATUS WITH CLOCK GENERATING CIRCUIT AND INFORMATION PROCESSING APPARATUS WITH CLOCK DELAYING CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. JP2002-334116, was filed on November 18, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: August 25, 2003

67161-086

Koichi ISHIMI

日本国特許庁 August 25, 2003
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月18日

出願番号

Application Number:

特願2002-334116

[ST.10/C]:

[JP2002-334116]

出願人

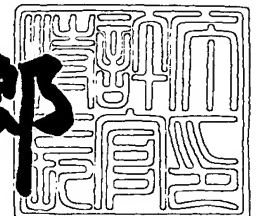
Applicant(s):

三菱電機株式会社

2002年12月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3098121

【書類名】 特許願

【整理番号】 541729JP01

【提出日】 平成14年11月18日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/06
H03L 7/08

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 石見 幸一

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック生成回路を備えた情報処理装置およびクロック遅延回路を備えた情報処理装置

【特許請求の範囲】

【請求項 1】 発振したクロック信号の発振周期を変化させ、基準クロック信号と同一または通倍の周波数を有する内部クロック信号を生成するクロック生成回路と、

外部からの指示に基づいて第 1 の初期値を前記クロック生成回路に設定する制御回路とを備え、

前記クロック生成回路は、通倍回路を含み、

前記通倍回路は、

前記制御回路から前記第 1 の初期値を受け、前記第 1 の初期値を初期カウント値として前記クロック信号の発振周期を規定する第 1 のカウント値を調整して出力する第 1 のカウンタと、

前記第 1 のカウンタから前記第 1 のカウント値を受け、前記第 1 のカウント値に基づいて前記クロック信号を発振する発振回路とからなる、情報処理装置。

【請求項 2】 前記制御回路は、システム起動時またはリセット時、予め保持する所定のカウント値を前記第 1 の初期値として前記第 1 のカウンタに設定する、請求項 1 に記載の情報処理装置。

【請求項 3】 前記制御回路は、前記クロック生成回路が停止し、その後、再度動作するとき、停止前に前記第 1 のカウンタから読込んだ第 1 のカウント値を前記第 1 の初期値として前記第 1 のカウンタに設定する、請求項 1 に記載の情報処理装置。

【請求項 4】 前記制御回路は、前記基準クロック信号の周波数を変更されるとき、変更前に前記第 1 のカウンタから読込んだ第 1 のカウント値と変更前後の前記基準クロック信号の周波数とに基づいて前記第 1 の初期値を算出し、前記算出した第 1 の初期値を前記第 1 のカウンタに設定する、請求項 1 に記載の情報処理装置。

【請求項 5】 前記制御回路は、前記基準クロック信号と前記内部クロック

信号との通倍比が変更されるとき、変更前に前記第 1 のカウンタから読込んだ第 1 のカウント値と変更前後の前記通倍比とに基づいて前記第 1 の初期値を算出し、前記算出した第 1 の初期値を前記第 1 のカウンタに設定する、請求項 1 に記載の情報処理装置。

【請求項 6】 前記第 1 のカウンタの第 1 のカウント値が所定範囲外になったことを検出し、その検出結果を前記制御回路へ通知する検出回路をさらに備え、

前記制御回路は、前記検出結果を受けると、さらに、当該情報処理装置の動作クロック信号を前記内部クロック信号に代えて前記基準クロック信号とする、請求項 1 に記載の情報処理装置。

【請求項 7】 前記第 1 のカウンタの第 1 のカウント値が所定範囲外になったことを検出し、その検出結果を前記制御回路へ通知する検出回路をさらに備え、

前記制御回路は、前記検出結果を受けると、さらに、前記第 1 のカウント値が前記所定範囲内に入る方向に前記基準クロック信号と前記内部クロック信号との通倍比を変更する、請求項 1 に記載の情報処理装置。

【請求項 8】 前記検出回路は、前記検出結果を外部へさらに通知する、請求項 6 または請求項 7 に記載の情報処理装置。

【請求項 9】 前記クロック信号のパルス数をカウントするパルスカウンタをさらに備え、

前記制御回路は、前記パルスカウンタによって所定期間にカウントされたパルスカウント値に基づいて前記第 1 の初期値を算出し、前記算出した第 1 の初期値を前記第 1 のカウンタに設定する、請求項 1 に記載の情報処理装置。

【請求項 10】 データを記憶する記憶回路をさらに備え、

前記制御回路は、前記算出した第 1 の初期値を前記記憶回路へ書込み、システム起動時またはリセット時、前記記憶回路から読込んだ前記第 1 の初期値を前記第 1 のカウンタに設定する、請求項 9 に記載の情報処理装置。

【請求項 11】 ヒューズ素子を含むヒューズ回路をさらに備え、

前記ヒューズ回路は、前記パルスカウント値に基づいて前記ヒューズ素子が切

断され、

前記制御回路は、システム起動時またはリセット時、前記ヒューズ素子の切断状態に基づいて決定される前記パルスカウント値に基づいて前記第 1 の初期値を算出する、請求項 9 に記載の情報処理装置。

【請求項 1 2】 前記クロック生成回路は、前記内部クロック信号の位相を前記基準クロック信号の位相と同期させる位相同期回路をさらに含み、

前記制御回路は、外部からの指示に基づいて第 2 の初期値を前記位相同期回路にさらに設定し、

前記位相同期回路は、

前記内部クロック信号の位相を前記基準クロック信号の位相と比較する位相比較器と、

前記位相比較器および前記制御回路からそれぞれ位相比較結果および前記第 2 の初期値を受け、前記第 2 の初期値を初期カウント値として、前記発振回路から受けるクロック信号の遅延量を規定する第 2 のカウント値を前記位相比較結果に基づいて調整し出力する第 2 のカウンタと、

前記第 2 のカウンタから前記第 2 のカウント値を受け、前記発振回路から受けるクロック信号を前記第 2 のカウント値に基づいて遅延して前記内部クロック信号を出力する可変遅延回路とからなる、請求項 1 に記載の情報処理装置。

【請求項 1 3】 前記制御回路は、システム起動時またはリセット時、予め保持する所定のカウント値を前記第 2 の初期値として前記第 2 のカウンタに設定する、請求項 1 2 に記載の情報処理装置。

【請求項 1 4】 前記制御回路は、前記クロック生成回路が停止し、その後、再度動作するとき、停止前に前記第 2 のカウンタから読込んだ第 2 のカウント値を前記第 2 の初期値として前記第 2 のカウンタに設定する、請求項 1 2 に記載の情報処理装置。

【請求項 1 5】 発振したもう 1 つのクロック信号の発振周期を変化させ、前記基準クロック信号と同一または通倍の周波数を有するもう 1 つの内部クロック信号を生成するもう 1 つのクロック生成回路をさらに備え、

前記もう 1 つのクロック生成回路は、もう 1 つの通倍回路を含み、

前記制御回路は、外部からの指示に基づいて第3の初期値を前記もう1つの通倍回路にさらに設定し、

前記もう1つの通倍回路は、

前記制御回路から前記第3の初期値を受け、前記第3の初期値を初期カウント値として前記もう1つのクロック信号の発振周期を規定する第3のカウント値を調整して出力する第3のカウンタと、

前記第3のカウンタから第3の前記カウント値を受け、前記第3のカウント値に基づいて前記もう1つのクロック信号を発振するもう1つの発振回路とからなり、

前記制御回路は、前記もう1つのクロック生成回路の動作設定が前記クロック生成回路と同じ条件に変更されるとき、変更前に前記第1のカウンタから読込んだ第1のカウント値に基づいて変更後の前記第3の初期値を算出し、前記算出した第3の初期値を前記第3のカウンタに設定する、請求項12に記載の情報処理装置。

【請求項16】 前記もう1つのクロック生成回路は、前記もう1つの内部クロック信号の位相を前記基準クロック信号の位相と同期させるもう1つの位相同期回路をさらに含み、

前記制御回路は、外部からの指示に基づいて第4の初期値を前記もう1つの位相同期回路にさらに設定し、

前記もう1つの位相同期回路は、

前記もう1つの内部クロック信号の位相を前記基準クロック信号の位相と比較するもう1つの位相比較器と、

前記もう1つの位相比較器および前記制御回路からそれぞれ位相比較結果および前記第4の初期値を受け、前記第4の初期値を初期カウント値として、前記もう1つの発振回路から受けるもう1つのクロック信号の遅延量を規定する第4のカウント値を前記位相比較結果に基づいて調整し出力する第4のカウンタと、

前記第4のカウンタから前記第4のカウント値を受け、前記もう1つの発振回路から受けるもう1つのクロック信号を前記第4のカウント値に基づいて遅延して前記もう1つの内部クロック信号を出力するもう1つの可変遅延回路とからな

り、

前記制御回路は、前記もう 1 つのクロック生成回路の動作設定が前記クロック生成回路と同じ条件に変更されるとき、変更前に前記第 2 のカウンタから読込んだ第 2 のカウント値を前記第 4 の初期値として前記第 4 のカウンタに設定する、請求項 1 5 に記載の情報処理装置。

【請求項 1 7】 第 1 のクロック信号を遅延して前記第 1 のクロック信号を第 2 のクロック信号と同期させるクロック遅延回路と、

外部からの指示に基づいて前記クロック遅延回路に初期値を設定する制御回路とを備え、

前記クロック遅延回路は、

前記第 1 のクロック信号の位相を前記第 2 のクロック信号の位相と比較する位相比較器と、

前記位相比較器および前記制御回路からそれぞれ位相比較結果および前記初期値を受け、前記初期値を初期カウント値として、前記第 1 のクロック信号の遅延量を規定するカウント値を前記位相比較結果に基づいて調整し出力するカウンタと、

前記カウンタから前記カウント値を受け、前記カウント値に基づいて前記第 1 のクロック信号を遅延する可変遅延回路とを含む、情報処理装置。

【請求項 1 8】 前記制御回路は、前記クロック遅延回路が停止し、その後、再度動作するとき、停止前に前記カウンタから読込んだカウント値を前記初期値として前記カウンタに設定する、請求項 1 7 に記載の情報処理装置。

【請求項 1 9】 前記制御回路は、前記負荷回路の負荷容量が変化し、その後、前記負荷容量が変化前の状態に復帰するとき、変化前に前記カウンタから読込んだカウント値を前記初期値として前記カウンタに設定する、請求項 1 7 に記載の情報処理装置。

【請求項 2 0】 第 3 のクロック信号を遅延して前記第 3 のクロック信号を第 4 のクロック信号と同期させるもう 1 つのクロック遅延回路をさらに備え、

前記制御回路は、外部からの指示に基づいてもう 1 つの初期値を前記もう 1 つのクロック遅延回路にさらに設定し、

前記もう 1 つのクロック遅延回路は、

前記第 3 のクロック信号の位相を前記第 4 のクロック信号の位相と比較するもう 1 つの位相比較器と、

前記もう 1 つの位相比較器および前記制御回路からそれぞれ位相比較結果および前記もう 1 つの初期値を受け、前記もう 1 つの初期値を初期カウント値として、前記第 3 のクロック信号の遅延量を規定するもう 1 つのカウント値を前記位相比較結果に基づいて調整し出力するもう 1 つのカウンタと、

前記もう 1 つのカウンタから前記もう 1 つのカウント値を受け、前記もう 1 つのカウント値に基づいて前記第 3 のクロック信号を遅延するもう 1 つの可変遅延回路とを含み、

前記制御回路は、前記もう 1 つのクロック遅延回路の動作設定が前記クロック遅延回路と同じ条件に変更されるとき、変更前に前記カウンタから読込んだカウント値を前記もう 1 つの初期値として前記もう 1 つのカウンタに設定する、請求項 1 7 に記載の情報処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、クロック生成回路を備えた情報処理装置およびクロック遅延回路を備えた情報処理装置に関し、特に、デジタルカウンタを制御することによって発振周波数および出力クロックの位相を制御するクロック生成回路を備えた情報処理装置、およびデジタルカウンタを制御することによって出力クロックの位相を制御するクロック遅延回路を備えた情報処理装置に関する。

【0 0 0 2】

【従来の技術】

近年の情報処理装置の高速化に伴い、基準クロックに同期した、基準クロックと同一または通倍の周波数を有するクロックを生成する PLL (Phase Locked Loop) 回路は、高速の同期処理を行なう情報処理装置におけるクロック生成回路として必須の回路となっている。

【0 0 0 3】

従来、PLL回路は、電圧制御発振回路（VCO：Voltage Controlled Oscillation circuit）の制御電圧を保持するキャパシタの電圧を制御することによって発振周波数を制御するアナログ型PLL回路が広く用いられていた。しかしながら、アナログ型PLL回路は、近年の情報処理装置に要求される低電圧下での制御が困難であり、その他ノイズに弱い、動作が安定化するまでの待ち時間（動作が安定化した状態は「ロック状態」とも称され、ロック状態になるまでの待ち時間は「ロック時間」とも称される。）が非常に長い、といった欠点を有していた。

【0004】

そこで、アナログ型PLL回路の欠点を解消するものとして、インバータを複数個直列に接続した遅延回路（以下、「ディレイライン」とも称する。）による遅延量をデジタルカウンタを用いて制御し、発振周波数および出力クロックの位相を制御するデジタル型PLL回路が、本願発明者らによって提案されている（非特許文献1）。

【0005】

このデジタル型PLL回路においては、ロック動作前のデジタルカウンタのカウント値は0（ディレイラインによる遅延時間が最小）であり、基準クロックの2周期ごとに1ずつカウント値が加算される。カウント値に比例してディレイラインの遅延時間は大きくなり、それに応じて出力クロックのパルス幅が大きくなる。そして、出力クロックが基準クロックに対して所定の通倍比となったとき、PLL回路はロック状態となり、カウント値の加算が停止する。

【0006】

このため、ロック時間に関しては、アナログ型PLL回路と比較すれば改善されているものの、それでも多くの待ち時間が発生する。たとえば、デジタルカウンタが10ビットで構成されている場合、最大で $2 \times 2^{10} = 2048$ サイクルが必要となる。そして、PLL回路の動作中に周波数が変更される場合、あるいは低電力モードにおいてPLL回路が停止され、その後低電力モードが解除されてPLL回路が再起動される場合などには、再びロック動作を行なう必要があり、その度にロック時間分の待ち時間が発生する。

【0 0 0 7】

そこで、デジタルPLL回路の内部に演算器を備え、この演算器によってロック動作時におけるカウント値を算出し、デジタルカウンタに設定することによってロック時間を短縮することができるクロック生成回路が特開2000-244309号公報（特許文献1）に開示されている。

【0 0 0 8】

一方、デジタル型PLL回路において、システムの評価時に何らかの動作不良が発生した場合、その原因がPLL回路によるものであるか否かを究明するため、デジタルカウンタの状態値すなわち位相調整値を外部の診断プロセッサからモニタすることができる情報処理装置が特開平11-340823号公報（特許文献2）に開示されている。

【0 0 0 9】

また、デジタル型PLL回路と類似する構成を有する回路として、DLL（Delay Locked Loop）回路が一般に知られている。DLL回路は、LSIがシステムに搭載される場合、LSIが搭載されるシステムのシステムクロックとLSIの内部回路に供給されるクロックとの位相を合わせる回路であって、LSI内部に備えられる。このDLL回路についても、上述したデジタル型PLL回路と同様に、インバータを複数個直列に接続したディレイラインが設けられ、ディレイラインによる遅延量をデジタルカウンタを用いて制御することによって、クロックの位相調整が行なわれる。

【0 0 1 0】

【特許文献1】

特開2000-244309号公報

【0 0 1 1】

【特許文献2】

特開平11-340823号公報

【0 0 1 2】

【非特許文献1】

石見幸一、他2名、「低電圧化に向けたフルデジタルPLLの開発」，信学技

報，社団法人電子情報通信学会，1997年6月，Vol. 97，No. 106，p. 29-36

【0013】

【発明が解決しようとする課題】

PLL回路においてロック時間が長いと、動作周波数が頻繁に変更されたり、頻繁に低電力モードに移行するなど、PLL回路の動作状態が頻繁に変更される場合には、情報処理装置としての性能低下を招き、また、ロック状態になるまでの処理においても電力が消費されるため、低消費電力化が阻害される。

【0014】

上述した特開2000-244309号公報（特許文献1）に記載されたクロック生成回路（PLL回路）は、上述した問題を解決するものであるが、一方、PLL回路の動作状態の変更は、基準クロック周波数の変更、通倍比の変更、電力モードの変更、電源電圧の変更、使用される温度環境の変更など、そのPLL回路が搭載される情報処理装置の動作仕様および動作環境によって様々な変更が考えられ、このような様々な動作状態の変更に対して、情報処理装置を利用するユーザが適切かつ柔軟にPLL回路の設定を行なうことができることは重要である。

【0015】

また、ディレイラインによる遅延量の制御範囲は有限であるところ、必要な遅延量が制御範囲を越えると、PLL回路は誤動作する。定常状態においては、遅延量が制御範囲を越える可能性は低いが、急激な温度変化や電圧変化などが発生した場合には、遅延量が制御範囲を越える可能性がある。そこで、このような誤動作が発生したときは、その誤動作を検出し、さらに検出した上でその誤動作に対して適切な処置を行なうことが重要である。

【0016】

なお、上述した状況は、ディレイラインを備えるデジタル型のDLL回路においても同様である。

【0017】

そこで、この発明は、かかる課題を解決するためになされたものであり、その

目的は、クロック生成回路の動作を早期に安定化するための設定をユーザが適切かつ柔軟に行なうことができる情報処理装置を提供することである。

【0018】

また、この発明の別の目的は、クロック遅延回路の外部からクロック遅延回路の動作を早期に安定化するための設定をユーザが適切かつ柔軟に行なうことができる情報処理装置を提供することである。

【0019】

【課題を解決するための手段】

この発明によれば、情報処理装置は、発振したクロック信号の発振周期を変化させ、基準クロック信号と同一または通倍の周波数を有する内部クロック信号を生成するクロック生成回路と、外部からの指示に基づいて第1の初期値をクロック生成回路に設定する制御回路とを備え、クロック生成回路は、通倍回路を含み、通倍回路は、制御回路から第1の初期値を受け、第1の初期値を初期カウント値としてクロック信号の発振周期を規定する第1のカウント値を調整して出力する第1のカウンタと、第1のカウンタから第1のカウント値を受け、第1のカウント値に基づいてクロック信号を発振する発振回路とからなる。

【0020】

また、この発明によれば、情報処理装置は、第1のクロック信号を遅延して第1のクロック信号を第2のクロック信号と同期させるクロック遅延回路と、外部からの指示に基づいてクロック遅延回路に初期値を設定する制御回路とを備え、クロック遅延回路は、第1のクロック信号の位相を第2のクロック信号の位相と比較する位相比較器と、位相比較器および制御回路からそれぞれ位相比較結果および初期値を受け、初期値を初期カウント値として、第1のクロック信号の遅延量を規定するカウント値を位相比較結果に基づいて調整し出力するカウンタと、カウンタからカウント値を受け、カウント値に基づいて第1のクロック信号を遅延する可変遅延回路とを含む。

【0021】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。な

お、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【 0 0 2 2 】

〔実施の形態 1〕

図 1 は、この発明の実施の形態 1 による情報処理装置の要部を概略的に説明する機能ブロック図である。

【 0 0 2 3 】

図 1 を参照して、情報処理装置 1 は、デジタル PLL 回路 1 0 と、CPU (Central Processing Unit) 1 2 と、記憶部 1 3 と、周辺回路 1 4 と、選択回路 1 6 と、内部バス 1 8 とを備える。デジタル PLL 回路 1 0 は、通倍回路 2 0 と、位相同期回路 2 2 とを含む。

【 0 0 2 4 】

通倍回路 2 0 は、基準クロック REF. CLK を受け、基準クロック REF. CLK の 4 倍の周波数からなる通倍クロック N-OUT を発生する。位相同期回路 2 2 は、通倍クロック N-OUT、基準クロック REF. CLK、ならびに周辺回路 1 4 および CPU 1 2 に供給される出力クロック PHI を受け、出力クロック PHI が基準クロック REF. CLK と同期するように、通倍クロック N-OUT の位相を調整して PLL クロック PLL-OUT を出力する。

【 0 0 2 5 】

選択回路 1 6 は、CPU 1 2 からクロック選択信号 SEL を受け、クロック選択信号 SEL が H (論理ハイ) レベルのとき、デジタル PLL 回路 1 0 によって生成された PLL クロック PLL-OUT を出力クロック PHI として周辺回路 1 4 および CPU 1 2 へ出力する。また、選択回路 1 6 は、クロック選択信号 SEL が L (論理ロー) レベルのとき、基準クロック REF. CLK を出力クロック PHI として周辺回路 1 4 および CPU 1 2 へ出力する。

【 0 0 2 6 】

周辺回路 1 4 は、図 1 に示されるデジタル PLL 回路 1 0、選択回路 1 6、CPU 1 2 および記憶部 1 3 を除く、この情報処理装置 1 におけるその他の回路を総括的に示したものである。

【 0 0 2 7 】

記憶部 1 3 は、不揮発性の読み書き可能な記憶素子で構成され、たとえば、フラッシュメモリで構成される。記憶部 1 3 は、CPU 1 2 が通倍回路 2 0 および位相同期回路 2 2 から読出したカウント値を記憶する。また、記憶部 1 3 は、CPU 1 2 が算出するカウント値の演算式も記憶する。

【0028】

CPU 1 2 は、内部バス 1 8 を介して通倍回路 2 0、位相同期回路 2 2、記憶部 1 3 および周辺回路 1 4 とデータのやり取りを行なう。CPU 1 2 は、所定のタイミングで通倍回路 2 0 および位相同期回路 2 2 から内部バス 1 8 を介してカウント値を読出し、読出したカウント値を必要に応じて内部バス 1 8 を介して記憶部 1 3 に書込む。そして、CPU 1 2 は、デジタル PLL 回路 1 0 のロック動作時、記憶部 1 3 から内部バス 1 8 を介して読出したカウント値もしくは記憶部 1 3 から内部バス 1 8 を介して読出した所定の演算式に基づいて算出されたカウント値を、内部バス 1 8 を介して通倍回路 2 0 および位相同期回路 2 2 に設定する。なお、CPU の動作タイミングおよび所定の演算式については、後ほど個別具体的な動作説明の際に説明する。

【0029】

また、CPU 1 2 は、システム起動時、クロック選択信号 SEL を選択回路 1 6 へ L レベルで出力し、デジタル PLL 回路 1 0 の動作が安定したとき、すなわちロック状態となったとき、クロック選択信号 SEL を H レベルにする。

【0030】

内部バス 1 8 は、CPU 1 2、記憶部 1 3、周辺回路 1 4、通倍回路 2 0 および位相同期回路 2 2 に接続され、各回路間でやり取りするデータを伝送する。

【0031】

図 2 は、図 1 に示した通倍回路 2 0 を機能的に説明する機能ブロック図である。

【0032】

図 2 を参照して、通倍回路 2 0 は、ディレイライン 3 0 と、デジタルカウンタ 3 2 と、位相比較器 3 4 と、OR ゲート 3 6 と、AND ゲート 3 8 と、インバータ Iv 1 と、コントローラ 4 0 とを含む。

【 0 0 3 3 】

ディレイライン 3 0 は、インバータ I v 1 からの出力信号を受け、デジタルカウンタ 3 2 から受ける遅延信号 / W L によって規定される遅延時間だけ遅延して遅延クロック D L - O U T を出力する。O R ゲート 3 6 は、遅延クロック D L - O U T およびコントローラ 4 0 から出力される信号 D L - S E T の論理和を演算する。A N D ゲートは、O R ゲート 3 6 からの出力信号およびコントローラ 4 0 から出力される信号 D L - A C T の論理積を演算し、その演算結果を逡倍クロック N - O U T として出力する。インバータ I v 1 は、逡倍クロック N - O U T を反転した信号をディレイライン 3 0 へ出力する。

【 0 0 3 4 】

ディレイライン 3 0、O R ゲート 3 6、A N D ゲート 3 8 およびインバータ I v 1 は、リングオシレータを構成する。すなわち、ディレイライン 3 0、O R ゲート 3 6、A N D ゲート 3 8 およびインバータ I v 1 で構成されるループを一巡する間にその論理レベルが反転するように負のフィードバックループが構成され、これによって、リングオシレータは、ディレイライン 3 0 による遅延時間の 2 倍の周期で発振する。

【 0 0 3 5 】

デジタルカウンタ 3 2 は、位相比較器 3 4 の比較結果に応じてカウント値を増減し、ディレイライン 3 0 の遅延時間を規定する遅延信号 / W L をディレイライン 3 0 へ出力する。また、デジタルカウンタ 3 2 は、内部バス 1 8 と接続され、図示されない C P U 1 2 からの指示に応じてカウント値を内部バス 1 8 へ出力し、また、C P U 1 2 から内部バス 1 8 を介して受けたカウント値を内部にセットする。

【 0 0 3 6 】

位相比較器 3 4 は、遅延クロック D L - O U T の位相を基準クロック R E F . C L K の位相と比較し、位相が進んでいれば、カウント値の加算指令をデジタルカウンタ 3 2 へ出力し、一方、位相が遅れていれば、カウント値の減算指令をデジタルカウンタ 3 2 へ出力する。

【 0 0 3 7 】

コントローラ 4 0 は、基準クロック R E F. C L K が立上がると信号 D L - A C T, D L - S E T をいずれも H レベルにする。そして、コントローラ 4 0 は、基準クロック R E F. C L K の立下がりに応じて信号 D L - S E T を L レベルにし、遅延クロック D L - O U T の 4 パルス目（通倍比が 4 のとき）の立下がりに応じて信号 D L - A C T を L レベルにする。すなわち、基準クロック R E F. C L K の立上がり同期して信号 D L - S E T が H レベルとなるので、リングオシレータは、そのタイミングで初期化される。そして、信号 D L - A C T が立下がると、リングオシレータの発振が止まる。

【 0 0 3 8 】

図 3 は、図 1 に示した位相同期回路 2 2 を機能的に説明する機能ブロック図である。

【 0 0 3 9 】

図 3 を参照して、位相同期回路 2 2 は、ディレイライン 4 2 と、デジタルカウンタ 4 4 と、位相比較器 4 6 とを含む。ディレイライン 4 2 は、通倍回路 2 0 から通倍クロック N - O U T を受け、デジタルカウンタ 3 2 から受ける遅延信号 / W L によって規定される遅延時間だけ通倍クロック N - O U T を遅延して P L L クロック P L L - O U T を出力する。

【 0 0 4 0 】

デジタルカウンタ 4 4 は、位相比較器 4 6 の比較結果に応じてカウント値を増減し、ディレイライン 4 2 の遅延時間を規定する遅延信号 / W L をディレイライン 4 2 へ出力する。また、デジタルカウンタ 4 4 は、内部バス 1 8 と接続され、図示されない C P U 1 2 からの指示に応じてカウント値を内部バス 1 8 へ出力し、また、C P U 1 2 から内部バス 1 8 を介して受けたカウント値を内部にセットする。

【 0 0 4 1 】

位相比較器 4 6 は、出力クロック P H I の位相を基準クロック R E F. C L K の位相と比較し、位相が進んでいけば、カウント値の加算指令をデジタルカウンタ 4 4 へ出力し、一方、位相が遅れていけば、カウント値の減算指令をデジタルカウンタ 4 4 へ出力する。

【 0 0 4 2 】

図 4 は、図 2，図 3 に示したディレイライン 3 0，4 2 の構成を示す回路図である。

【 0 0 4 3 】

図 4 を参照して、ディレイライン 3 0 (4 2) は、直列接続された n 段 (n は 2 以上の自然数) の遅延素子 $DE(0) \sim DE(n)$ からなる。各遅延素子 $DE(i)$ は、図示されないデジタルカウンタ 3 2 (4 4) から受ける遅延信号 $/WL(i)$ が L レベルのとき、通倍クロック $N-OUT$ の反転クロック $/N-OUT$ を次段の遅延素子 $DE(i-1)$ へ出力し、遅延信号 $/WL(i)$ が H レベルのとき、前段の遅延素子 $DE(i+1)$ から受ける信号を次段の遅延素子 $DE(i-1)$ へ出力する。なお、第 1 段目の遅延素子 $DE(n)$ においては、常時 L レベルの信号が前段の遅延素子から受ける信号に対応する。

【 0 0 4 4 】

デジタルカウンタ 3 2 (4 4) は、カウント値に基づいて遅延信号 $/WL(0) \sim /WL(n)$ のいずれか 1 つを L レベルにして出力する。そうすると、L レベルの遅延信号 $/WL(i)$ を受けた遅延素子 $DE(i)$ においてのみ反転クロック $/N-OUT$ が次段の遅延素子 $DE(i-1)$ へ出力され、以降の遅延素子に伝達される。すなわち、L レベルの遅延信号 $/WL(i)$ を受けた遅延素子 $DE(i)$ からディレイライン 3 0 (4 2) に反転クロック $/N-OUT$ が取込まれるので、遅延信号 $/WL(0) \sim /WL(n)$ によって反転クロック $/N-OUT$ の取込位置を変えることにより、ディレイライン 3 0 (4 2) の遅延量が調整される。

【 0 0 4 5 】

図 5 は、図 4 に示した遅延素子 DE の構成を示す回路図である。

図 5 を参照して、遅延素子 DE は、P チャネル MOS トランジスタ $P1 \sim P4$ と、N チャネル MOS トランジスタ $N1 \sim N4$ と、インバータ $Iv2$ ， $Iv3$ と、電源ノード Vdd と、接地ノード GND と、ノード ND とからなる。

【 0 0 4 6 】

P チャネル MOS トランジスタ $P1$ は、電源ノード Vdd と P チャネル MOS

トランジスタP2との間に接続され、インバータIv2からの出力信号をゲートに受ける。PチャネルMOSトランジスタP2は、PチャネルMOSトランジスタP1とノードNDとの間に接続され、前段の遅延素子DEからの出力信号をゲートに受ける。NチャネルMOSトランジスタN1は、ノードNDとNチャネルMOSトランジスタN2との間に接続され、通倍クロックN-OUTの反転クロック/N-OUTをゲートに受ける。NチャネルMOSトランジスタN2は、NチャネルMOSトランジスタN1と接地ノードGNDとの間に接続され、インバータIv2からの出力信号をゲートに受ける。インバータIv2は、遅延信号/WLを反転した信号を出力する。

【0047】

PチャネルMOSトランジスタP3は、電源ノードVddとPチャネルMOSトランジスタP4との間に接続され、遅延信号/WLをゲートに受ける。PチャネルMOSトランジスタP4は、PチャネルMOSトランジスタP3とノードNDとの間に接続され、反転クロック/N-OUTをゲートに受ける。NチャネルMOSトランジスタN3は、ノードNDとNチャネルMOSトランジスタN4との間に接続され、前段の遅延素子DEからの出力信号をゲートに受ける。NチャネルMOSトランジスタN4は、NチャネルMOSトランジスタN3と接地ノードGNDとの間に接続され、遅延信号/WLをゲートに受ける。インバータIv3は、ノードND上の信号を反転した信号を出力する。

【0048】

遅延素子DEは、遅延信号/WLがLレベルのとき、反転クロック/N-OUTを2段のインバータで遅延して出力する。一方、遅延素子DEは、遅延信号/WLがHレベルのとき、前段の遅延素子からの出力信号を2段のインバータで遅延して出力する。

【0049】

図6、7は、通倍回路20の動作を説明する動作波形図である。図6、7は、システム起動直後からの動作波形が示されており、図6は、比較のため、カウント値がCPU12から設定されない場合の動作波形図を示し、図7は、カウント値がCPU12から設定された場合の動作波形図を示す。

【 0 0 5 0 】

まず、図 6 を参照して、時刻 T 1 前においては、通倍回路 2 0 は初期状態にあり、デジタルカウンタ 3 2 のカウント値は 0 である。時刻 T 1 において、基準クロック REF. CLK が立上がるとリングオシレータが発振し、遅延クロック DL-OUT および通倍クロック N-OUT が出力される。ここで、カウント値 0 であるので、ディレイラインの遅延時間は最小であり、発振周期は最小である。

【 0 0 5 1 】

位相比較器 3 4 は、遅延クロック DL-OUT の 4 パルス目の立下がりと時刻 T 2 における基準クロック REF. CLK の立上がりとの位相を比較し、遅延クロック DL-OUT の位相が進んでいるので、デジタルカウンタ 3 2 へカウント値の加算指令を出力する。

【 0 0 5 2 】

時刻 T 2 において、基準クロック REF. CLK が立上がると、再びリングオシレータが発振し、前回よりも周期が長い遅延クロック DL-OUT および通倍クロック N-OUT が出力される。しかしながら、遅延クロック DL-OUT の位相がまだ進んでいるので、位相比較器 3 4 は、デジタルカウンタ 3 2 へカウント値の加算指令をさらに出力する。

【 0 0 5 3 】

時刻 T 3 において、基準クロック REF. CLK が立上がると、再びリングオシレータが発振し、前回よりもさらに周期が長い遅延クロック DL-OUT および通倍クロック N-OUT が出力される。

【 0 0 5 4 】

そして、時刻 T 4 において、遅延クロック DL-OUT の 4 パルス目の立下がりが基準クロック REF. CLK の立上がりと一致すると、通倍回路 2 0 はロック状態となり、デジタルカウンタ 3 2 は、カウント値の加算を停止する。このとき、通倍クロック N-OUT の周波数は、基準クロック REF. CLK の周波数の丁度 4 倍となる。

【 0 0 5 5 】

一方、図 7 を参照して、システム起動直後の時刻 T 1 において、たとえばシス

テム停止直前のカウント値がCPU12から設定されると、通倍クロックN-OUTは、時刻T1からほぼ所望通りの周波数で出力される。

【0056】

そして、時刻T2において、遅延クロックDL-OUTの4パルス目の立下がり基準クロックREF. CLKの立上がりと一致し、通倍回路20は、早期にロック状態となる。

【0057】

図8、9は、位相同期回路22の動作を説明する動作波形図である。図8、9も、システム起動直後の動作波形が示されており、図8は、比較のため、カウント値がCPU12から設定されない場合の動作波形図を示し、図9は、カウント値がCPU12から設定された場合の動作波形図を示す。

【0058】

まず、図8を参照して、矢印で結ばれる各クロックのパルスが通倍回路20において発生した同一のパルスに対応している。また、通倍クロックN-OUTについては、所定の周波数で出力され始める時刻T1以降からの信号波形が示されており、PLLクロックPLL-OUTおよび出力クロックPHIについては、図示される通倍クロックN-OUTに対応する信号波形が示されている。

【0059】

時刻T2において、位相比較器46は、出力クロックPHIの位相を基準クロックREF. CLKの位相と比較し、出力クロックPHIの位相が進んでいるので、カウント値の加算指令をデジタルカウンタ44へ出力する。時刻T3においても、出力クロックPHIの位相が基準クロックREF. CLKの位相よりも進んでいるので、位相比較器46は、カウント値の加算指令をデジタルカウンタ44へさらに出力する。

【0060】

そして、時刻T4において、出力クロックPHIの位相が基準クロックREF. CLKの位相と一致すると、位相同期回路22はロック状態となり、デジタルカウンタ44は、カウント値の加算を停止する。

【0061】

一方、図 9 を参照して、時刻 T 1 における位相同期回路 2 2 の状態は、図 8 における時刻 T 1 の状態に対応しており、時刻 T 1 において、システム停止直前のカウント値が CPU 1 2 から設定されると、PLL クロック PLL-OUT は、出力当初からほぼ所望通りの位相遅れで出力される。そして、時刻 T 2 において、出力クロック PHI の位相が基準クロック REF. CLK の位相と一致し、位相同期回路 2 2 は、早期にロック状態となる。

【 0 0 6 2 】

デジタル PLL 回路 1 0 が搭載される情報処理装置 1 の動作仕様が固定されており、予めロック状態におけるデジタルカウンタのカウント値がある程度分かっている場合には、そのカウント値を記憶部 1 3 に記憶しておき、システム起動後やリセット後などに CPU 1 2 が記憶部 1 3 からそのカウント値を読み出して、内部バス 1 8 を介して通倍回路 2 0 および位相同期回路 2 2 にカウント値を設定するようにしてもよい。

【 0 0 6 3 】

これによって、システム起動時やリセット時のロック時間を短くすることができ、特に、頻繁にリセットが行なわれるシステムにおいては、処理性能が向上し、ロック動作時に消費されていた電力も削減できる。

【 0 0 6 4 】

図 1 0, 1 1 は、情報処理装置 1 が低電力モードに移行し、デジタル PLL 回路 1 0 が停止される場合のフローチャートである。図 1 0 は、情報処理装置 1 が低電力モードに移行する際のフローチャートであり、図 1 1 は、情報処理装置 1 が低電力モードから復帰する際のフローチャートである。

【 0 0 6 5 】

図 1 0 を参照して、情報処理装置 1 において低電力モードが指示されると（ステップ S 1）、CPU 1 2 は、通倍回路 2 0 および位相同期回路 2 2 それぞれのデジタルカウンタ 3 2, 4 4 から内部バス 1 8 を介してカウント値を読み込む（ステップ S 2）。そして、CPU 1 2 は、読込んだカウント値を内部バス 1 8 を介して記憶部 1 3 に書込む（ステップ S 3）。

【 0 0 6 6 】

次いで、CPU 12は、選択回路16へ出力するクロック選択信号SELをLレベルで出力し、それに応じて、選択回路16は、基準クロックREF. CLKを出力クロックPHIとして出力する（ステップS4）。そして、CPU 12は、デジタルPLL回路10に対して動作の停止指令を出力する（ステップS5）。

【0067】

図11を参照して、低電力モードの解除が指示されると（ステップS11）、CPU 12は、低電力モード移行時に記憶部13に記憶したカウント値を記憶部13から内部バス18を介して読込む（ステップS12）。そして、CPU 12は、読込んだカウント値を内部バス18を介して逓倍回路20および位相同期回路22それぞれのデジタルカウンタ32, 44に書込む（ステップS13）。

【0068】

次いで、CPU 12は、デジタルPLL回路10に対して動作の開始指令を出力する（ステップS14）。そして、CPU 12は、選択回路16へ出力するクロック選択信号SELをHレベルとし、選択回路16は、PLLクロックPLL-OUTを出力クロックPHIとして出力する（ステップS15）。

【0069】

このように、低電力モードでデジタルPLL回路10が一旦停止し、再度動作するときにおいても、ロック時間が短くなることによって低電力モードからの復帰動作が速くなり、復帰動作に要する電力も削減できる。

【0070】

図12は、基準クロックREF. CLKの周波数が変更される場合のフローチャートである。

【0071】

図12を参照して、基準クロックREF. CLKの周波数が変更される前に、CPU 12は、逓倍回路20のデジタルカウンタ32から内部バス18を介してカウント値を読込む（ステップS21）。そして、CPU 12は、選択回路16へ出力するクロック選択信号SELをLレベルで出力し、それに応じて、選択回路16は、基準クロックREF. CLKを出力クロックPHIとして出力する（

ステップ S 2 2)。

【 0 0 7 2 】

C P U 1 2 は、基準クロック R E F、C L K の周波数を変更すると（ステップ S 2 3）、周波数変更後のカウント値を算出するための演算式を記憶部 1 3 から内部バス 1 8 を介して読み込み、その演算式を用いて周波数変更後のカウント値を算出する（ステップ S 2 4）。この演算式は、下記（1）式にて示される。

【 0 0 7 3 】

$$x 1 = t \times i / \Delta d - t / \Delta d + i \times a \quad \cdots (1)$$

ここで、「x 1」は周波数変更後のカウント値、「t」はカウント値が 0 のときの通倍クロック N - O U T の半周期、「i」は周波数変更後の周期と周波数変更前の周期との比、「Δ d」はカウント値が 1 増加したときのデジタルカウンタのディレイラインにおける遅延時間の増分、「a」はデジタルカウンタ 3 2 から読込んだ周波数変更前のカウント値を表わす。

【 0 0 7 4 】

この式（1）は、次のようにして導かれる。周波数変更前および周波数変更後の通倍クロック N - O U T の周期 T a、T b は、それぞれ下記（2）、（3）式にて示される。

【 0 0 7 5 】

$$T a = 2 (t + a \Delta d) \quad \cdots (2)$$

$$T b = 2 (t + x 1 \Delta d) \quad \cdots (3)$$

ここで、 $i = T b / T a$ であるので、（1）式が導かれる。

【 0 0 7 6 】

この（1）式は、情報処理装置 1 を利用するユーザがプログラムすることができ、したがって、ユーザは、実際の使用状態において定数や式自体を調整することができ、柔軟かつ高精度なカウント値の設定が実現される。

【 0 0 7 7 】

C P U 1 2 は、ステップ S 2 4 においてカウント値を算出すると、内部バス 1 8 を介して通倍回路 2 0 のデジタルカウンタ 3 2 に算出したカウント値を書込む（ステップ S 2 5）。そして、C P U 1 2 は、選択回路 1 6 へ出力するクロック

選択信号SELをHレベルとし、それに応じて、選択回路16は、PLLクロックPLL-OUTを出力クロックPHIとして出力する（ステップS26）。

【0078】

なお、上述したような厳密な演算をしなくても、たとえば、周波数が1/2に変更されるような場合には、CPU12は、変更前のカウント値を2倍して通倍回路20のデジタルカウンタ32へ設定するようにしてもよい。

【0079】

このように、基準クロックREF、CLKの周波数に変更される場合においても、ロック時間が短くなることによって基準クロックREF、CLKの変更が短時間で完了し、周波数変更動作に要する電力も削減される。

【0080】

図13は、通倍比が変更される場合のフローチャートである。

図13を参照して、通倍比が変更される前に、CPU12は、通倍回路20のデジタルカウンタ32から内部バス18を介してカウント値を読み込む（ステップS31）。そして、CPU12は、選択回路16へ出力するクロック選択信号SELをLレベルで出力し、それに応じて、選択回路16は、基準クロックREF、CLKを出力クロックPHIとして出力する（ステップS32）。

【0081】

CPU12は、通倍比を変更すると（ステップS33）、通倍比変更後のカウント値を算出するための演算式を記憶部13から内部バス18を介して読み込み、その演算式を用いて通倍比変更後のカウント値を算出する（ステップS34）。この演算式は、下記（4）式にて示される。

【0082】

$$x2 = t / (j \Delta d) - t / \Delta d + a / j \quad \dots (4)$$

ここで、「x2」は通倍比変更後のカウント値、「j」は周波数変更後の通倍比と周波数変更前の通倍比との比、「a」はデジタルカウンタ32から読み込んだ通倍比変更前のカウント値を表わす。

【0083】

この式（4）は、次のようにして導かれる。通倍比変更前および通倍比変更後

の通倍クロック N-OUT の周期 T_c 、 T_d は、それぞれ下記 (5)、(6) 式にて示される。

【0084】

$$T_c = 2(t + a \Delta d) \quad \cdots (5)$$

$$T_d = 2(t + x 2 \Delta d) \quad \cdots (6)$$

ここで、変更前の通倍比を n 、変更後の通倍比を N とすると、 $j = N/n$ 、 $T_c \times n = T_d \times N$ (= 基準クロック REF. CLK の周期) の関係があるので、(4) 式が導かれる。

【0085】

この (4) 式も、(1) 式と同様に、情報処理装置 1 を利用するユーザがプログラムすることができる。

【0086】

CPU 12 は、ステップ S 34 においてカウント値を算出すると、内部バス 18 を介して通倍回路 20 のデジタルカウンタ 32 に算出したカウント値を書込む (ステップ S 35)。そして、CPU 12 は、選択回路 16 へ出力するクロック選択信号 SEL を H レベルとし、それに応じて、選択回路 16 は、PLL クロック PLL-OUT を出力クロック PHI として出力する (ステップ S 36)。

【0087】

なお、上述したような厳密な演算をしなくても、たとえば、通倍比が $1/2$ に変更されるような場合には、CPU 12 は、変更前のカウント値を 2 倍して、通倍回路 20 のデジタルカウンタ 32 へ設定するようにしてもよい。

【0088】

このように、通倍比が変更される場合においても、ロック時間が短くなることによって基準クロック REF. CLK の変更が短時間で完了し、通倍比変更動作に要する電力も削減される。

【0089】

なお、上述した説明において、デジタル PLL 回路 10 は、クロック生成回路を構成し、CPU 12 は、制御回路を構成する。

【0090】

また、記憶部 1 3 は、不揮発性の読み書き可能な記憶素子とし、たとえば、フラッシュメモリで構成されるものとしたが、基準クロックの周波数および通倍比の条件が一定のもとで情報処理装置 1 が使用される場合には、カウント値はほぼ安定した一定値となるので、記憶部 1 3 をヒューズ回路によって構成し、ヒューズ回路をレーザトリミングすることによってカウント値を記憶させておくようにしてもよい。

【 0 0 9 1 】

また、上述した説明では、デジタル PLL 回路 1 0 は、基準クロック REF、CLK の 4 倍の周波数からなる PLL クロック PLL-OUT を生成したが、通倍比は 4 に限られることはなく、それよりも小さな通倍比または大きな通倍比であってもよい。

【 0 0 9 2 】

以上のように、実施の形態 1 による情報処理装置 1 によれば、デジタル PLL 回路 1 0 におけるデジタルカウンタのカウント値をユーザからの指示に基づいて CPU 1 2 から適切に設定できるようにしたので、デジタル PLL 回路 1 0 の動作状態の変更に応じて柔軟に適切な設定を行なうことができる。そして、その結果、デジタル PLL 回路 1 0 の動作を早期に安定化させることができる。

【 0 0 9 3 】

〔実施の形態 2〕

図 1 4 は、この発明の実施の形態 2 による情報処理装置の要部を概略的に説明するための機能ブロック図である。

【 0 0 9 4 】

図 1 4 を参照して、情報処理装置 1 A は、実施の形態 1 による情報処理装置 1 の構成に加えて、デジタル PLL 回路 1 1 0 と、CPU 1 1 2 と、周辺回路 1 1 4 と、選択回路 1 1 6 とをさらに備える。デジタル PLL 回路 1 1 0 は、通倍回路 1 2 0 と、位相同期回路 1 2 2 とを含む。

【 0 0 9 5 】

この情報処理装置 1 A は、CPU が 2 個搭載されたマルチプロセッサシステムであり、CPU 1 2, 1 1 2 に対応して、それぞれ独立したデジタル PLL 回路

1 0, 1 1 0 が備えられている。CPU 1 1 2、選択回路 1 1 6、通倍回路 1 2 0 および位相同期回路 1 2 2 は、それぞれ CPU 1 2、選択回路 1 6、通倍回路 2 0 および位相同期回路 2 2 に対応して設けられ、その回路構成は同じである。そして、通倍回路 1 2 0、位相同期回路 1 2 2、CPU 1 1 2 および周辺回路 1 1 4 は、通倍回路 2 0、位相同期回路 2 2、CPU 1 2、周辺回路 1 4 および記憶部 1 3 とともに共通の内部バス 1 8 に接続され、互いにデータのやり取りをすることができる。

【 0 0 9 6 】

デジタル PLL 回路 1 0 とデジタル PLL 回路 1 1 0 とは、同一のシリコン基板上に形成され、また、同一の製造プロセスによって製造される。したがって、両回路の回路特性はほぼ一致し、両回路において通倍比の設定が同じであるとき、両回路におけるカウント値はほぼ同じ値となる。

【 0 0 9 7 】

実施の形態 2 による情報処理装置 1 A においては、一方の CPU から他方の CPU 側のデジタル PLL 回路のカウント値を読出したり、一方の CPU から他方の CPU 側のデジタル PLL 回路に対してカウント値を設定することができる。たとえば、CPU 1 2, 1 1 2 が異なる動作周波数で動作しているときであって、CPU 1 1 2 の動作周波数を CPU 1 2 の動作周波数に変更する場合、CPU 1 2 は、デジタル PLL 回路 1 0 のカウント値を読出し、読出したカウント値をデジタル PLL 回路 1 1 0 へ設定する。

【 0 0 9 8 】

また、デジタル PLL 回路 1 0 は動作していて、停止していたデジタル PLL 回路 1 1 0 が動作を開始する場合、CPU 1 2 は、デジタル PLL 回路 1 0 のカウント値を読出し、読出したカウント値をデジタル PLL 回路 1 1 0 へ設定する。

【 0 0 9 9 】

なお、デジタル PLL 回路 1 0 のカウント値を CPU 1 1 2 が読出し、読出したカウント値を CPU 1 1 2 がデジタル PLL 回路 1 1 0 に設定するようにしてもよい。

【0100】

このように、実施の形態2による情報処理装置1Aによれば、一方のデジタルPLL回路におけるデジタルカウンタのカウント値を他方のデジタルPLL回路におけるデジタルカウンタのカウント値に設定できるようにしたので、デジタルPLL回路の動作条件が変更されるとき、ロック時間が短縮され、処理性能の向上やロック動作に要していた消費電力が削減される。

【0101】

〔実施の形態3〕

実施の形態3による情報処理装置においては、デジタルPLL回路におけるデジタルカウンタのカウント値のオーバーフローまたはアンダーフローが検出され、異常を回避する適切な処置が実行される。

【0102】

図15は、この発明の実施の形態3による情報処理装置の要部を概略的に説明するための機能ブロック図である。

【0103】

図15を参照して、実施の形態3による情報処理装置1Bは、実施の形態1による情報処理装置1の構成において、検出回路24をさらに備える。検出回路24は、内部バス18に接続され、通倍回路20におけるデジタルカウンタ32のカウント値および位相同期回路22におけるデジタルカウンタ44のカウント値を内部バス18を介してリアルタイムに受けて常時監視する。そして、検出回路24は、カウント値がオーバーフローまたはアンダーフローしたことを検出すると、内部バス18を介してCPU12へ割込信号を出力し、さらに、図示されない外部端子へエラー信号ERRを出力する。

【0104】

CPU12は、検出回路24から割込信号を受けると、様々な処置を実行することができる。たとえば、CPU12は、割込信号に応じてクロック選択信号SELをLレベルとし、出力クロックPHIをPLLクロックPLL-OUTから基準クロックREF. CLKに切替えることができる。また、カウント値のオーバーフローまたはアンダーフローが解消するように通倍比を変更することもでき

る。すなわち、オーバーフロー時は通倍比を大きくし、アンダーフロー時は通倍比を小さくする。

【0105】

さらに、CPU12は、内部電源発生装置や外部電源装置を制御し、電圧を安定もしくは変更させることによって正常状態に戻すこともできる。また、さらに、情報処理装置1Bの外部に冷却装置が備えられているときは、CPU12は、冷却装置を制御し、温度を正常範囲内に戻すことによって正常状態に戻すこともできる。また、さらに、CPU12は、周辺回路の一部を停止させることによって消費電力を制御し、正常状態に戻すこともできる。

【0106】

これらのCPU12が行なう種々の処置は、ユーザによって組まれたプログラムに従って実行される。すなわち、この情報処理装置1Bを利用するユーザは、上述したCPU12が行なう種々の処置に対応するプログラムを事前に作成し、記憶部13に記憶しておく。したがって、実際の使用に際して発生する種々の異常に対してユーザが種々の対応策を立てることができ、汎用性の高いシステムが実現される。

【0107】

図16は、図15に示した情報処理措置の変形例を示す図である。

図16を参照して、この情報処理装置1Cは、上述した情報処理装置1Bの構成において、検出回路24に代えて検出回路24Aを備える。検出回路24Aは、通倍回路20、位相同期回路22およびCPU12と直接接続される。検出回路24の機能は、情報処理装置1Bにおける検出回路24と同じである。

【0108】

なお、情報処理装置1B、1Cでは、デジタルカウンタのカウント値を監視してカウント値のオーバーフローおよびアンダーフローを検出する専用の検出回路が備えられたが、そのような検出回路を備えず、CPU12が内部バス18を介してカウント値をリアルタイムに取込み、CPU12がカウント値を常時監視してカウント値のオーバーフローおよびアンダーフローを検出するようにしてもよい。

【0109】

以上のように、実施の形態3による情報処理装置1B、1Cによれば、検出回路がデジタルPLL回路10におけるデジタルカウンタのオーバーフローまたはアンダーフローを検出し、検出時は異常を回避するような処置をユーザからの指示に基づいてCPU12が実行するようにしたので、デジタルPLL回路10の誤動作が防止される。

【0110】

また、オーバーフローまたはアンダーフロー発生時は、外部へ通知するようにもしたので、当該情報処理装置1B、1Cを利用するユーザは、デジタルPLL回路10の異常を検知することができ、適切な処置を施すことができる。

【0111】

〔実施の形態4〕

実施の形態4では、通倍回路において生成される通倍クロックのパルス数がカウントされ、そのパルス数からデジタルカウンタに設定する適切なカウント値が算出される。これによって、デジタルPLL回路の動作開始時に動作停止前のカウント値の記憶データがなくても、適切なカウント値がデジタルカウンタに設定される。

【0112】

図17は、この発明の実施の形態4による情報処理装置の要部を概略的に説明する機能ブロック図である。

【0113】

図17を参照して、情報処理装置1Dは、実施の形態1による情報処理装置1の構成に加えてパルスカウンタ60をさらに備え、通倍回路20に代えて通倍回路20Aを備える。

【0114】

通倍回路20Aは、実施の形態1における通倍回路20が有する機能を備え、さらに、CPU12から内部バス18を介してカウンタ固定信号FIXを受けると、デジタルカウンタのカウント値を固定して発振し、通倍クロックN-OUTを出力する。

【0115】

パルスカウンタ60は、通倍回路20Aの出力ノードおよび内部バス18に接続される。パルスカウンタ60は、通倍クロックN-OUTを受けてパルス数をカウントし、そのパルスカウント値を内部バス18を介してCPU12へ出力する。

【0116】

情報処理装置1Dにおいては、システム起動直後あるいはリセット直後でデジタルPLL回路の動作開始前、CPU12は、内部バス18を介して通倍回路20Aへカウンタ固定信号FIXをHレベルで出力する。パルスカウンタ60は、通倍回路20Aにおいてカウント値が固定された状態で発振された通倍クロックN-OUTを受け、基準クロックREF. CLK1周期における通倍クロックN-OUTのパルス数をカウントする。そして、パルスカウンタ60は、そのパルスカウント値を内部バス18を介してCPU12へ出力する。

【0117】

CPU12は、パルスカウント値を受けると、記憶部13から内部バス18を介して後述する演算式(7)を読込み、パルスカウント値を用いて通倍回路20Aのデジタルカウンタに設定する初期カウント値を算出する。そして、CPU12は、算出した初期カウント値を内部バス18を介して通倍回路20Aへ出力し、併せてHレベルで出力していたカウンタ固定信号FIXをLレベルにする。

【0118】

初期カウント値を演算する演算式は、下記(7)式にて示される。

$$x3 = a / n \times c - a \quad \dots (7)$$

$$a = t / \Delta d \quad \dots (8)$$

ここで、「x3」は初期カウント値、「c」はカウントパルス数、「t」はカウント値が0のときの通倍クロックN-OUTの半周期、「Δd」はカウント値が1増加したときのデジタルカウンタのディレイラインにおける遅延時間の増分、「n」は通倍比を表わす。

【0119】

この(7)式は、次のようにして導かれる。基準クロックREF. CLKの周

期 T_e およびロック後の通倍クロック $N-OUT$ の周期 T_f は、それぞれ下記 (9), (10) 式にて示される。

【0120】

$$T_e = 2 \times t \times c \quad \cdots (9)$$

$$T_f = 2 (t + x 3 \Delta d) \quad \cdots (10)$$

ここで、 $T_e = T_f \times n$ の関係があるので、(7) 式が導かれる。

【0121】

この (7) 式も、情報処理装置 1 を利用するユーザがプログラムすることができる。したがって、ユーザは、実際の使用状態において定数や式自体を調整することができ、柔軟かつ高精度なカウント値の設定が実現される。

【0122】

なお、上述したような厳密な演算をしなくても、たとえば、通倍比を 4 でデジタル PLL 回路 10 A を発振させるとき、基準クロック REF. CLK 1 周期における通倍クロック $N-OUT$ のパルス数が 8 パルスであったときは、カウント値を現在の 2 倍にして通倍回路 20 A のデジタルカウンタへ設定するようにしてもよい。

【0123】

図 18 は、図 17 に示した通倍回路 20 A を機能的に説明する機能ブロック図である。

【0124】

図 18 を参照して、通倍回路 20 A は、図 2 に示した実施の形態 1 における通倍回路 20 の構成において、AND ゲート 52, 54 と、OR ゲート 56 と、インバータ 58 とをさらに含む。

【0125】

AND ゲート 52 は、インバータ 58 および位相比較器 34 からの出力信号の論理積を演算して出力する。AND ゲート 54 は、インバータ 58 およびコントローラ 40 からの出力信号の論理積を演算し、その演算結果を信号 DL-SET として出力する。OR ゲート 56 は、コントローラ 40 からの出力信号およびカウンタ固定信号 FIX の論理和を演算し、その演算結果を信号 DL-ACT とし

て出力する。インバータ 5 8 は、カウンタ固定信号 F I X を反転した信号を出力する。

【 0 1 2 6 】

通倍回路 2 0 A においては、C P U 1 2 から内部バス 1 8 を介して受けるカウンタ固定信号 F I X が H レベルになると、A N D ゲート 5 2 の出力信号は位相比較器 3 4 からの出力信号に拘わらず L レベルとなり、位相比較器 3 4 からの出力信号がマスクされ、デジタルカウンタ 3 2 のカウント値が固定される。また、A N D ゲート 5 4 および O R ゲート 5 6 の出力信号である信号 D L - S E T, D L - A C T は、それぞれ L レベル、H レベルとなり、ディレイライン 3 0、O R ゲート 3 6、A N D ゲート 3 8 およびインバータ I v 1 で構成されるリングオシレータが発振する。

【 0 1 2 7 】

なお、上述した情報処理装置が同一システム内で同一周波数で使用される場合は、デジタルカウンタのカウント値はほぼ一定であると考えられる。そこで、パルスカウンタ 6 0 で一度測定した値を記憶部 1 3 で不揮発的に記憶しておけば、次に動作を開始するときはその値を使用すればよく、パルスカウンタ 6 0 による新たな計測を行なう必要はない。

【 0 1 2 8 】

そして、このような場合、記憶部 1 3 については、上述したようにフラッシュメモリで構成するほか、ヒューズ回路によって構成し、ヒューズ回路内のヒューズ素子をレーザトリミングすることによって計測したカウント値を記憶させておくようにしてもよい。これによっても、パルスカウンタ 6 0 で一度測定した値は不揮発的に記憶され、新たな計測を行なう必要はなくなる。

【 0 1 2 9 】

以上のように、実施の形態 4 による情報処理装置 1 D によれば、パルスカウンタ 6 0 によって計測されたパルスカウント値を用いて適切なカウント値を演算するようにしたので、システム起動直後からデジタル P L L 回路 1 0 の動作を早期に安定化させることができ、ロック動作時に消費されていた電力も削減される。

【 0 1 3 0 】

〔実施の形態 5〕

図 1 9 は、この発明の実施の形態 5 による情報処理装置の要部を概略的に説明する機能ブロック図である。

【0131】

図 1 9 を参照して、情報処理装置 1 5 0 は、D L L 回路 1 5 2 と、C P U 1 5 4 と、記憶部 1 5 6 と、周辺回路 1 5 8 と、バッファ 1 6 0 と、検出回路 1 6 2 と、内部バス 1 6 4 とを備える。D L L 回路 1 5 2 は、ディレイライン 1 6 6 と、デジタルカウンタ 1 6 8 と、位相比較器 1 7 0 とを含む。

【0132】

D L L 回路 1 5 2 は、実施の形態 1 で説明した位相同期回路 2 2 と入出力信号が異なるのみで、その回路構成は同じである。すなわち、ディレイライン 1 6 6 は、内部クロック *i n t . C L K* を受け、デジタルカウンタ 1 6 8 から受ける遅延信号 / W L によって規定される遅延時間だけ内部クロック *i n t . C L K* を遅延してシステムクロック *S Y S . C L K* を外部回路 1 8 0 へ出力する。

【0133】

また、デジタルカウンタ 1 6 8 は、位相比較器 1 7 0 の比較結果に応じてカウント値を増減し、ディレイライン 1 6 6 の遅延量を規定する遅延信号 / W L をディレイライン 1 6 6 へ出力する。また、デジタルカウンタ 1 6 8 は、内部バス 1 6 4 と接続され、C P U 1 5 4 からの指示に応じてカウント値を内部バス 1 6 4 へ出力し、また、C P U 1 5 4 から内部バス 1 6 4 を介して受けたカウント値を内部にセットする。

【0134】

また、位相比較器 1 7 0 は、外部回路 1 8 0 から受けるシステムクロック *S Y S . C L K* の位相を C P U 1 5 4 および周辺回路 1 5 8 に供給される内部クロックの位相と比較し、位相が進んでいれば、カウント値の加算指令をデジタルカウンタ 3 2 へ出力し、一方、位相が遅れていれば、カウント値の減算指令をデジタルカウンタ 3 2 へ出力する。

【0135】

周辺回路 1 5 8 は、図 1 9 に示される D L L 回路 1 5 2、C P U 1 5 4、記憶

部 1 5 6、バッファ 1 6 0 および検出回路 1 6 2 を除く、この情報処理装置 1 5 0 におけるその他の回路を総括的に示したものである。

【 0 1 3 6 】

記憶部 1 5 6 は、不揮発性の読み書き可能な記憶素子で構成され、たとえば、フラッシュメモリで構成される。記憶部 1 5 6 は、CPU 1 5 4 がデジタルカウンタ 1 6 8 から読出したカウント値を記憶する。また、記憶部 1 5 6 は、CPU 1 5 4 が算出するカウント値の演算式も記憶する。

【 0 1 3 7 】

検出回路 1 6 2 は、デジタルカウンタ 1 6 8 のカウント値を内部バス 1 6 4 を介してリアルタイムに受けて常時監視する。そして、検出回路 1 6 2 は、カウント値がオーバーフローまたはアンダーフローしたことを検出すると、内部バス 1 6 4 を介して CPU 1 5 4 へ割込信号を出力し、さらに、外部回路 1 8 0 へエラー信号 ERR を出力する。

【 0 1 3 8 】

CPU 1 5 4 は、内部バス 1 6 4 を介してデジタルカウンタ 1 6 8、記憶部 1 5 6 および検出回路 1 6 2 とデータのやり取りを行なう。CPU 1 5 4 は、所定のタイミングでデジタルカウンタ 1 6 8 から内部バス 1 6 4 を介してカウント値を読出し、読出したカウント値を必要に応じて内部バス 1 6 4 を介して記憶部 1 5 6 に書込む。そして、CPU 1 5 4 は、DLL 回路 1 5 2 のロック動作時、記憶部 1 5 6 から内部バス 1 6 4 を介して読出したカウント値もしくは記憶部 1 5 6 から内部バス 1 6 4 を介して読出した所定の演算式に基づいて算出されたカウント値を、内部バス 1 6 4 を介してデジタルカウンタ 1 6 8 に設定する。

【 0 1 3 9 】

また、CPU 1 5 4 は、検出回路 1 6 2 から割込信号を受けると、様々な処置を実行することができる。たとえば、CPU 1 5 4 は、内部電源発生装置や外部電源装置を制御し、電圧を安定もしくは変更させることによって正常状態に戻すことができる。また、情報処理装置 1 5 0 の外部に冷却装置が備えられているときは、CPU 1 5 4 は、冷却装置を制御し、温度を正常範囲内に戻すことによって正常状態に戻すこともできる。さらに、CPU 1 5 4 は、周辺回路 1 5 8 の一

部を停止させることによって消費電力を制御し、正常状態に戻すこともできる。

【0140】

上述した所定の演算および種々の処置は、ユーザによって組まれたプログラムに従って実行される。すなわち、この情報処理装置150を利用するユーザは、上述したCPU154が行なう所定の演算および種々の処置に対応するプログラムを事前に作成し、記憶部156に記憶しておく。したがって、実際の使用状態に対応した設定や各種処置を行なうことができ、汎用性の高いシステムが実現される。

【0141】

内部バス164は、CPU154、記憶部156、デジタルカウンタ168および検出回路162に接続され、各回路間でやり取りするデータを伝送する。

【0142】

情報処理装置150の動作仕様が固定されており、予めロック状態におけるデジタルカウンタのカウント値がある程度分かっている場合には、そのカウント値を記憶部156に記憶しておき、システム起動後やりセット後などにCPU154が記憶部156からそのカウント値を読み出して、デジタルカウンタ168に設定するようにしてもよい。

【0143】

また、情報処理装置150が低電力モードに移行し、DLL回路152が停止され、その後低電力モードから復帰する場合、あるいは内部クロックint. CLKの周波数が変更される場合、情報処理装置150は、それぞれ図10、11および図12に示した実施の形態1におけるデジタルPLL回路10の動作フローと同じ動作を実行する。

【0144】

また、情報処理装置150が搭載されるシステムが、たとえば、メモ리카ードを使用するシステムのような場合、メモ리카ードの装着有無によって外部回路180の容量が変化すると、システムクロックSYS. CLKの位相が変化するので、DLL回路152を再度ロックさせる必要がある。

【0145】

この情報処理装置 1 5 0 においては、メモ리카ードの脱着があったときなど外部回路 1 8 0 の容量が大きく変化したとき、CPU 1 5 4 は、デジタルカウンタ 1 6 8 から内部バス 1 6 4 を介して変化前のカウント値を読み出し、そのカウント値を記憶部 1 5 6 に書込む。そして、再びメモ리카ードが脱着されて外部回路 1 8 0 の容量が元に戻るとき、CPU 1 5 4 は、記憶部 1 5 6 から変化前に記憶したカウント値を読み出し、そのカウント値を内部バス 1 6 4 を介してデジタルカウンタ 1 6 8 へ出力する。

【 0 1 4 6 】

また、上述のメモ리카ードの脱着の場合のように、外部回路 1 8 0 の容量の変化がある程度決まっている場合には、外部回路 1 8 0 の容量が変化する前後のカウント値は、ある程度分かっていることが多い。そこで、メモ리카ードの脱着を CPU 1 5 4 によって検知し、予め記憶しておいたカウント値を記憶部 1 5 6 から読み出してデジタルカウンタ 1 6 8 に設定するか、あるいは脱着による容量変化前のカウント値に基づいて所定の関数を用いて容量変化後のカウント値を CPU 1 5 4 によって算出し、デジタルカウンタ 1 6 8 に設定するようにしてもよい。

【 0 1 4 7 】

こうすることで、頻繁にメモ리카ードの脱着がなされる場合などにおいて、メモ리카ード脱着後のロック動作による待ち時間が短縮され、処理性能の向上およびロック動作に要する消費電力が削減される。

【 0 1 4 8 】

また、情報処理装置に D L L 回路が複数存在する場合は、デジタル P L L 回路における実施の形態 2 と同様に、ロック状態にある D L L 回路のカウント値をこれからロックする他方の D L L 回路に設定するようにしてもよい。これによって、一方の D L L 回路の動作条件が変更されるとき、ロック時間が短縮され、処理性能の向上やロック動作に要していた消費電力が削減される。

【 0 1 4 9 】

なお、上述した実施の形態 5 では、D L L 回路は、システムクロック S Y S . C L K に用いられているが、外部から供給されるシステムクロック S Y S . C L K を基準として、CPU 1 5 4 や周辺回路 1 5 8 において用いられる内部クロッ

クをシステムクロック S Y S . C L K に同期させるために D L L 回路が用いられる場合であっても、同様のことが実現できる。

【 0 1 5 0 】

以上のように、実施の形態 5 による情報処理装置 1 5 0 によれば、D L L 回路 1 5 2 におけるデジタルカウンタのカウント値をユーザからの指示に基づいて C P U 1 5 4 から適切に設定できるようにしたので、D L L 回路 1 5 2 の動作状態の変更に応じて柔軟に適切な設定を行なうことができる。そして、その結果、D L L 回路 1 5 2 の動作を早期に安定化させることができる。

【 0 1 5 1 】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 1 5 2 】

【発明の効果】

この発明による情報処理装置によれば、クロック生成回路もしくはクロック遅延回路に対してクロック生成回路またはクロック遅延回路の動作を早期に安定化させる設定をユーザができるようにしたので、クロック生成回路またはクロック遅延回路の動作状態の変更に応じて適切かつ柔軟な設定を行なうことができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による情報処理装置の要部を概略的に説明する機能ブロック図である。

【図 2】 図 1 に示す通倍回路を機能的に説明する機能ブロック図である。

【図 3】 図 1 に示す位相同期回路を機能的に説明する機能ブロック図である。

【図 4】 図 2、図 3 に示すディレイラインの構成を示す回路図である。

【図 5】 図 4 に示す遅延素子の構成を示す回路図である。

【図 6】 カウント値が C P U から設定されない場合の通倍回路の動作を説明する動作波形図である。

【図 7】 カウント値が CPU から設定された場合の通倍回路の動作を説明する動作波形図である。

【図 8】 カウント値が CPU から設定されない場合の位相同期回路の動作を説明する動作波形図である。

【図 9】 カウント値が CPU から設定された場合の位相同期回路の動作を説明する動作波形図である。

【図 10】 情報処理装置が低電力モードに移行する際のフローチャートである。

【図 11】 情報処理装置が低電力モードから復帰する際のフローチャートである。

【図 12】 基準クロックの周波数に変更される場合のフローチャートである。

【図 13】 通倍比が変更される場合のフローチャートである。

【図 14】 この発明の実施の形態 2 による情報処理装置の要部を概略的に説明するための機能ブロック図である。

【図 15】 この発明の実施の形態 3 による情報処理装置の要部を概略的に説明するための機能ブロック図である。

【図 16】 図 15 に示す情報処理装置の変形例を示す図である。

【図 17】 この発明の実施の形態 4 による情報処理装置の要部を概略的に説明する機能ブロック図である。

【図 18】 図 17 に示す通倍回路を機能的に説明する機能ブロック図である。

【図 19】 この発明の実施の形態 5 による情報処理装置の要部を概略的に説明する機能ブロック図である。

【符号の説明】

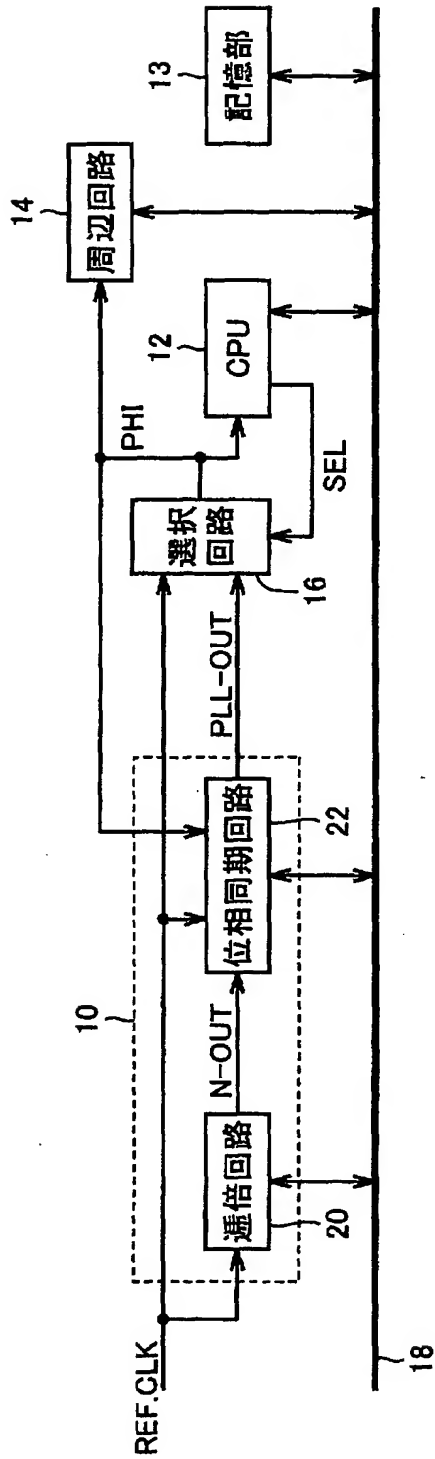
1, 1A~1D, 150 情報処理装置、10, 10A, 110 デジタル PLL 回路、12, 112, 154 CPU、13, 156 記憶部、14, 114, 158 周辺回路、16, 116 選択回路、18, 164 内部バス、20, 20A, 120 通倍回路、22, 122 位相同期回路、24, 24A,

1 6 2 検出回路、3 0, 4 2, 1 6 6 デイレイライン、3 2, 4 4, 1 6 8
デジタルカウンタ、3 4, 4 6, 1 7 0 位相比較器、3 6, 5 6 O R ゲー
ト、3 8, 5 2, 5 4 A N D ゲート、4 0 コントローラ、5 8, I v 1 ~ I
v 3 インバータ、6 0 パルスカウンタ、1 5 2 D L L 回路、1 6 0 バッ
ファ、1 8 0 外部回路、D E 遅延素子、N D ノード、P 1 ~ P 4 P チャ
ネルM O S トランジスタ、N 1 ~ N 4 N チャネルM O S トランジスタ。

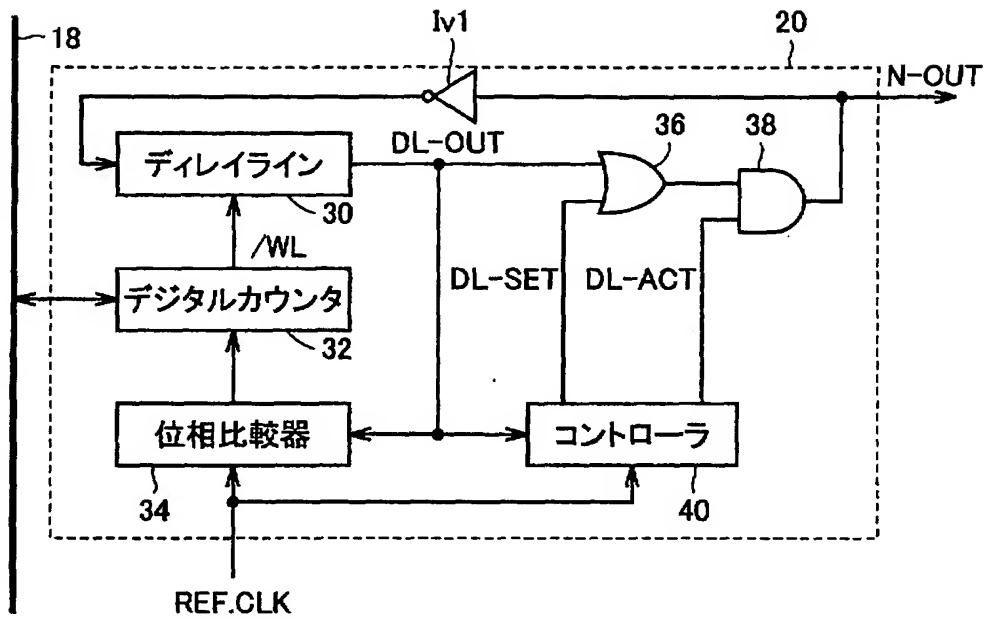
【書類名】 図面

【図 1】

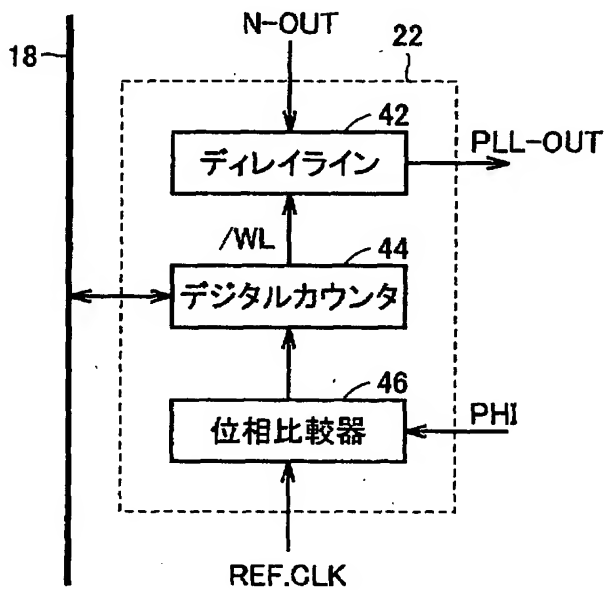
1



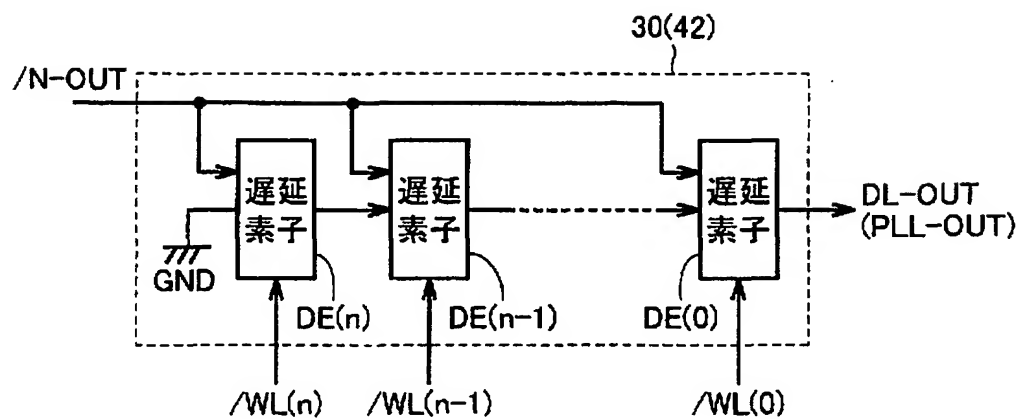
【図 2】



【図 3】

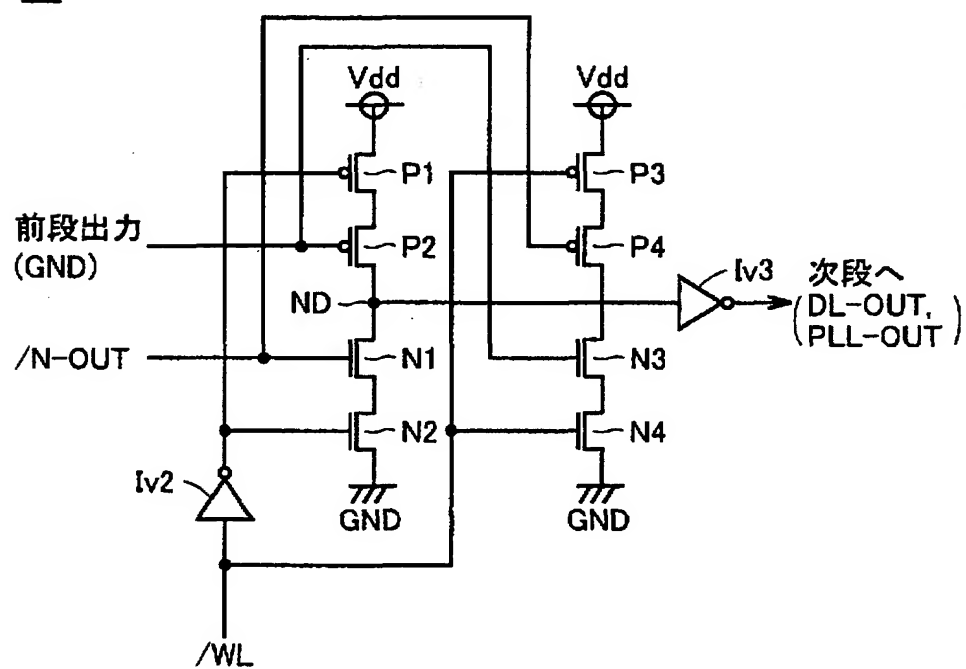


【圖 4】

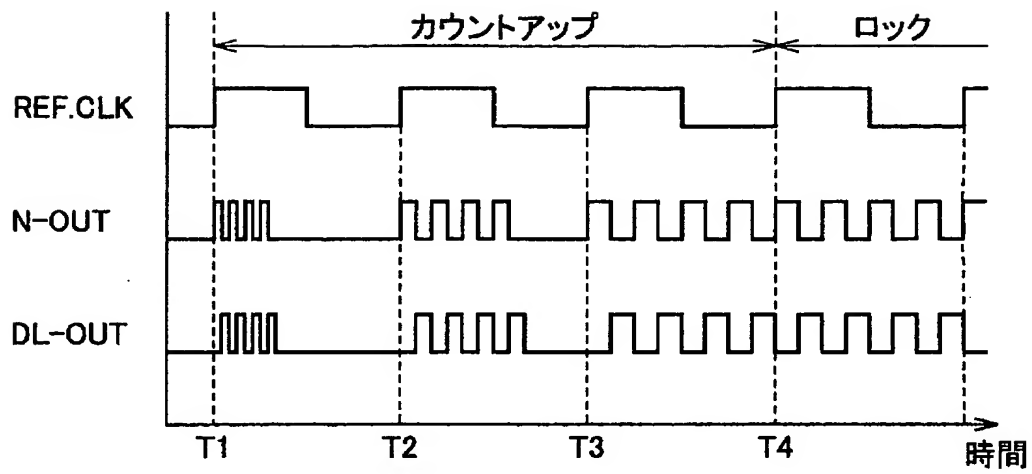


【図 5】

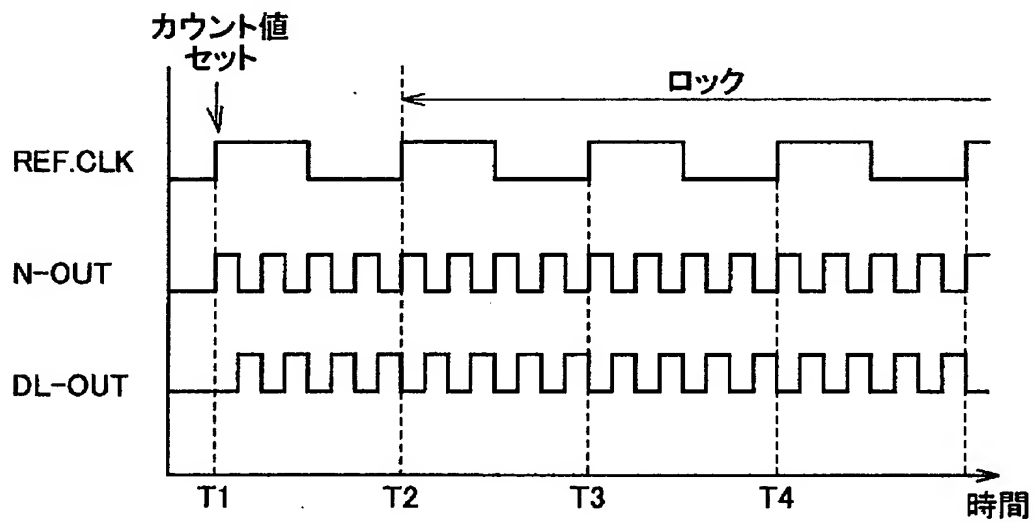
DE



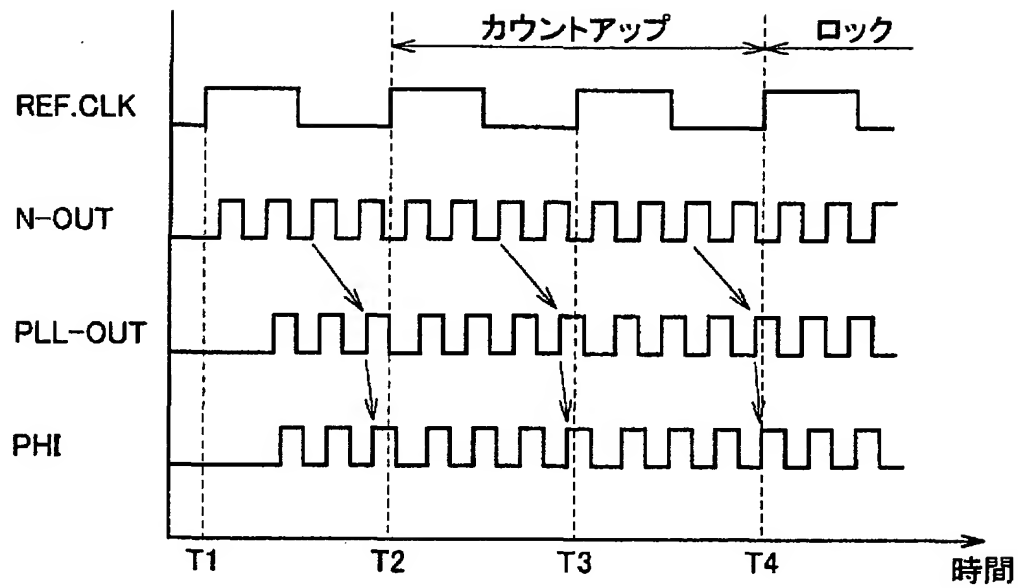
【図 6】



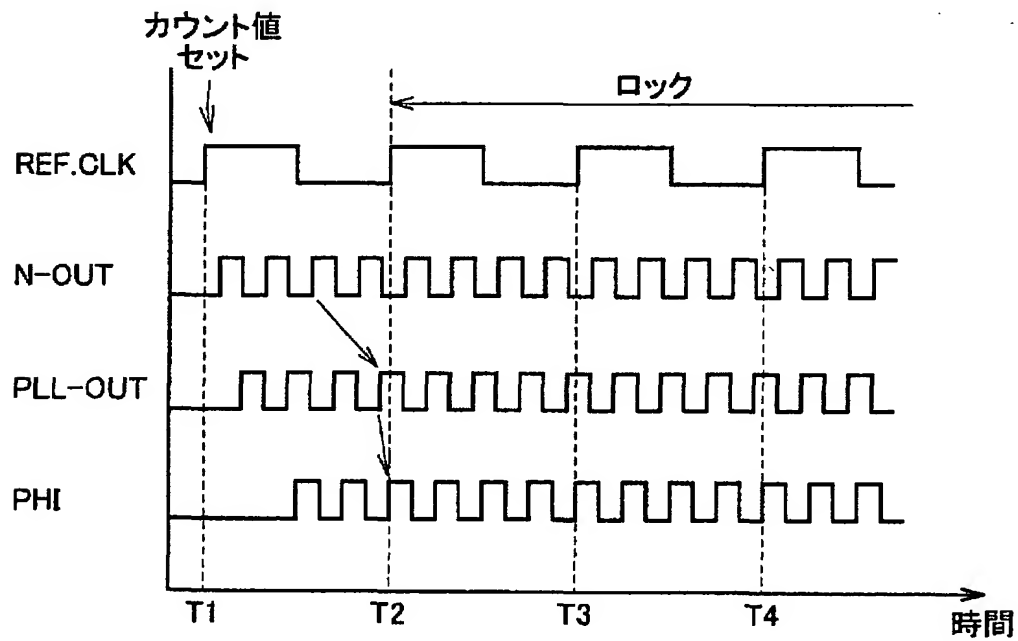
【図 7】



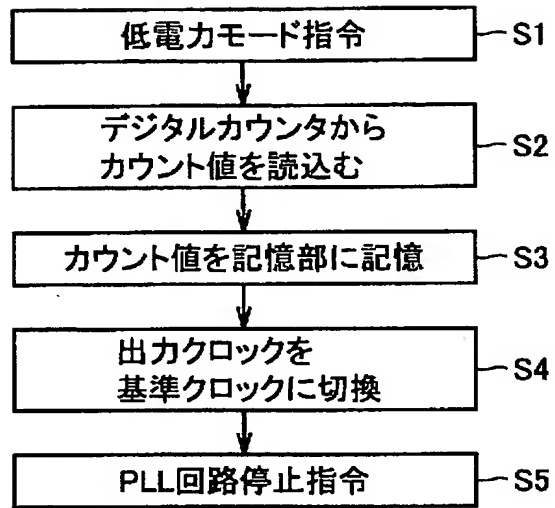
【図 8】



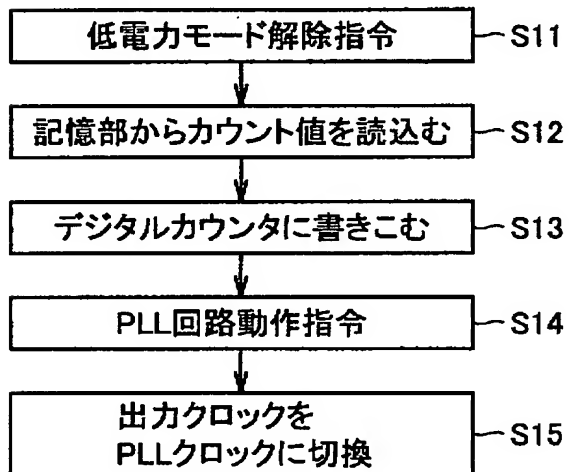
【図 9】



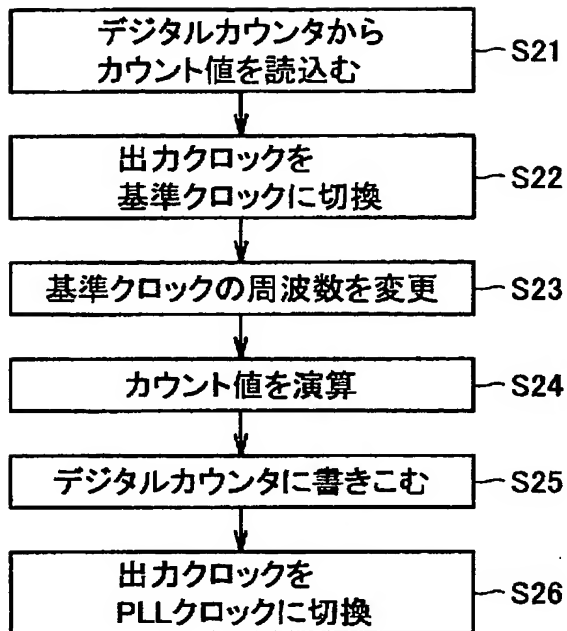
【図 1 0】



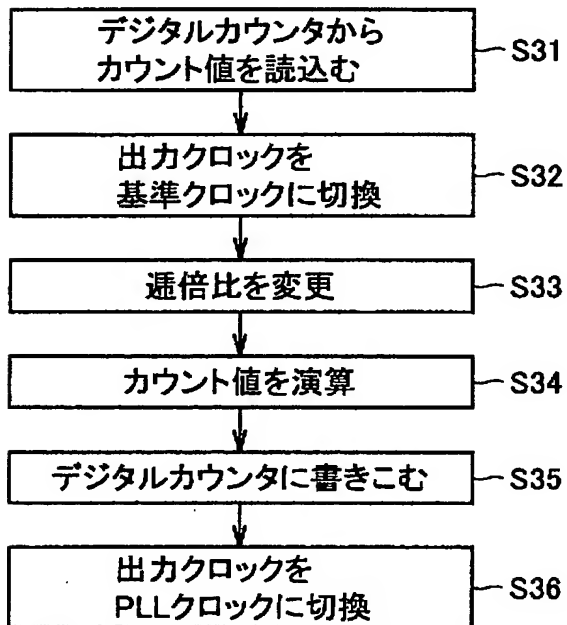
【図 1 1】



【図 1 2】

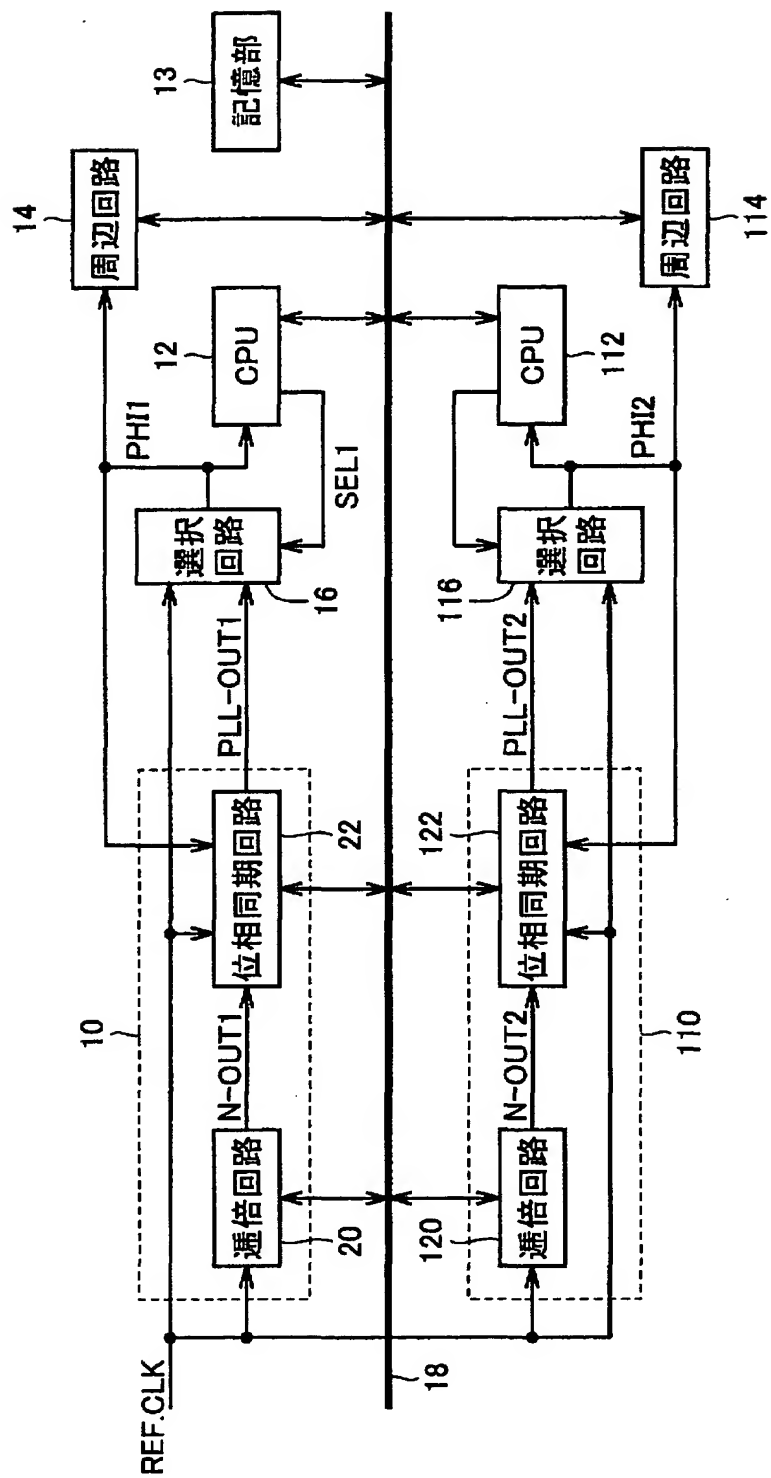


【図 1 3】



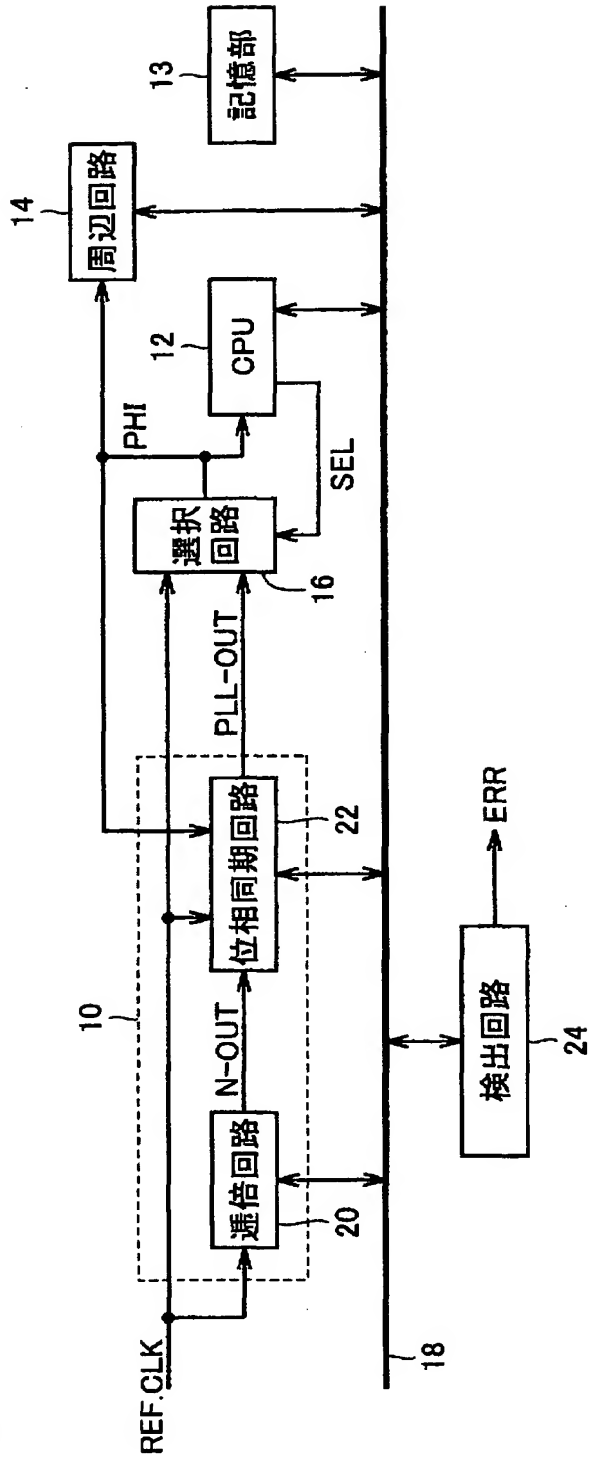
【図 14】

1A



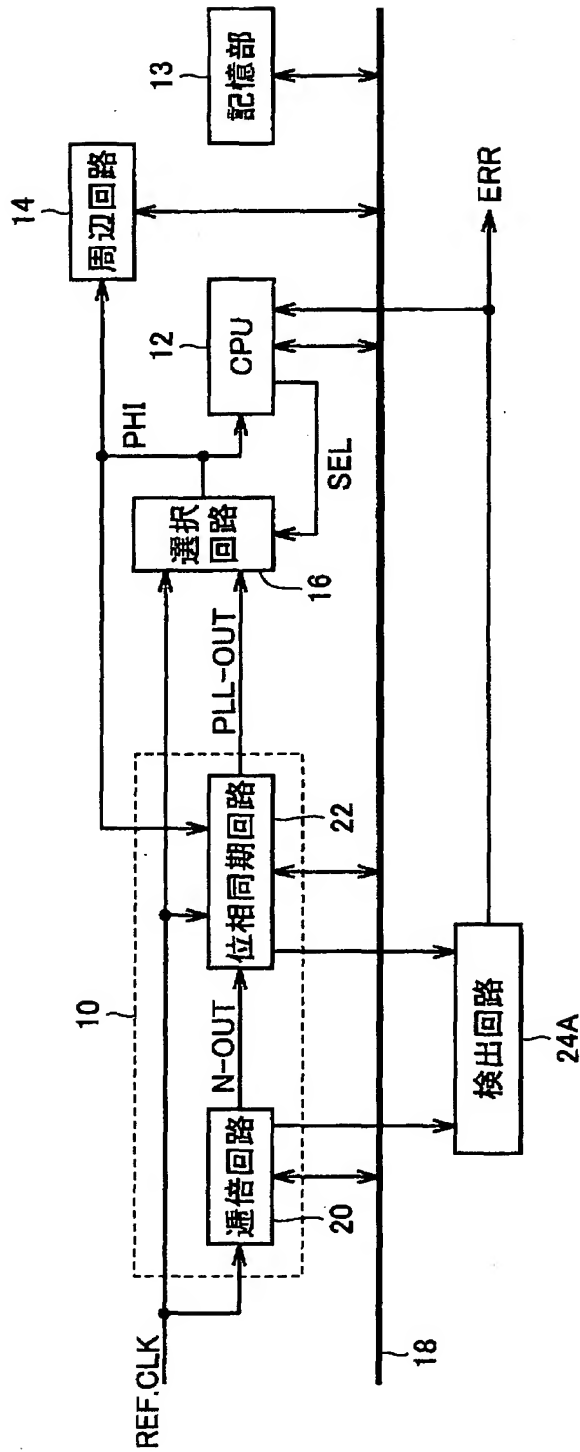
【図 1 5】

1B



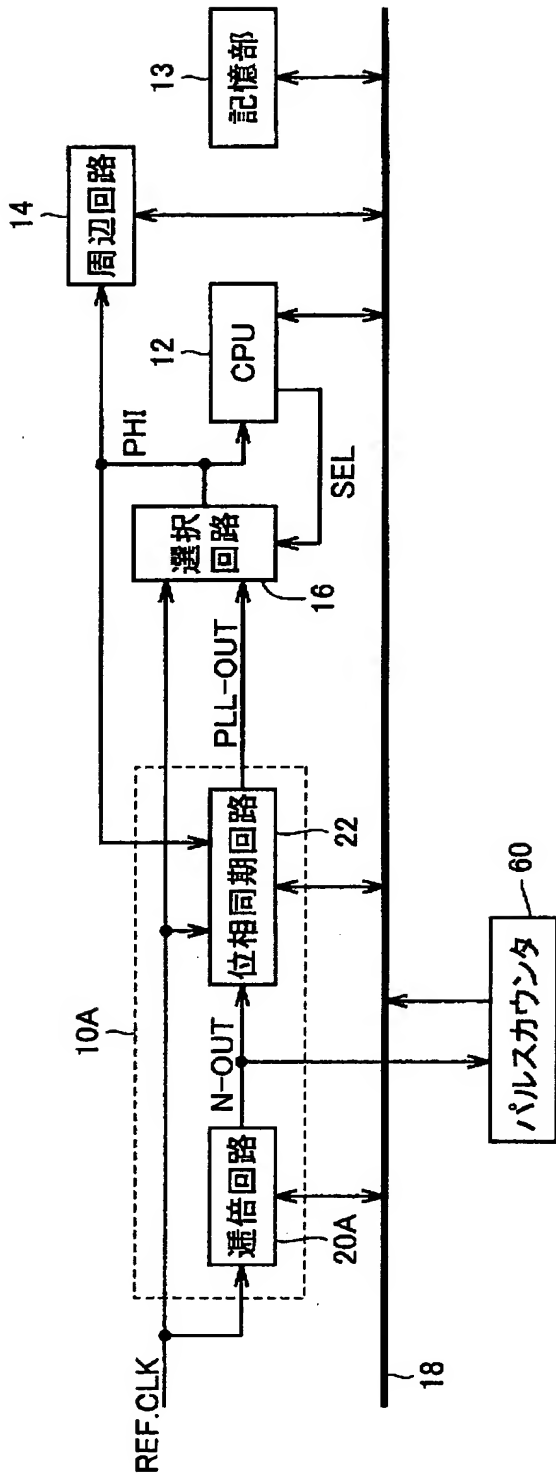
【図 1 6】

1C

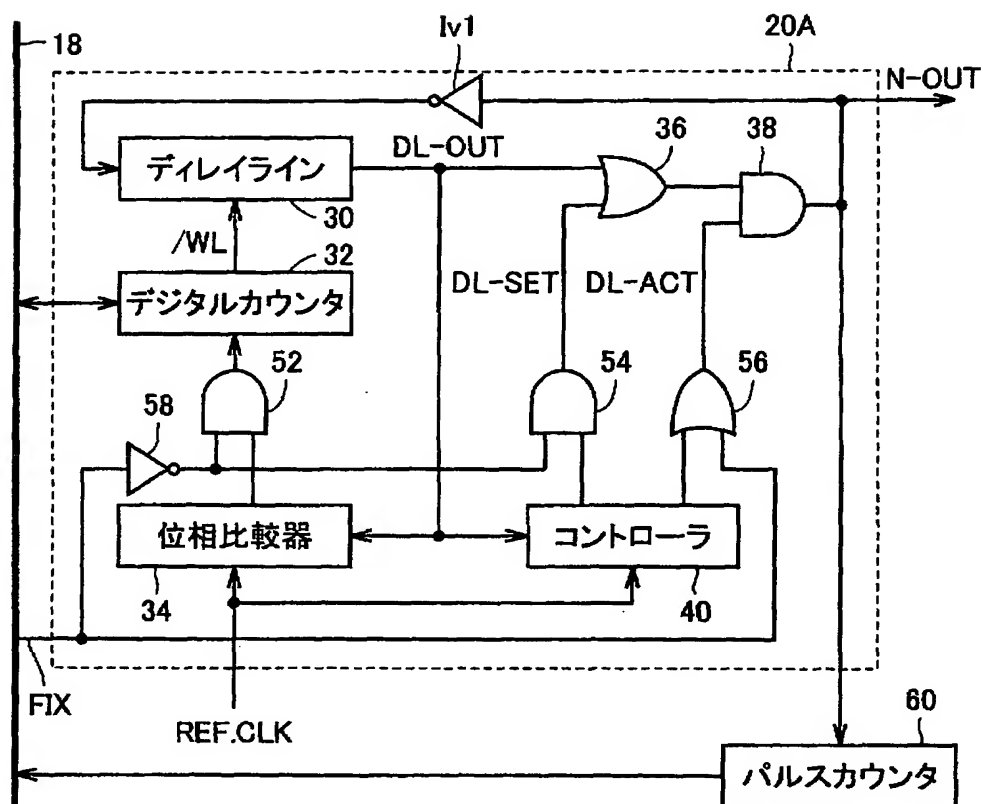


【図 17】

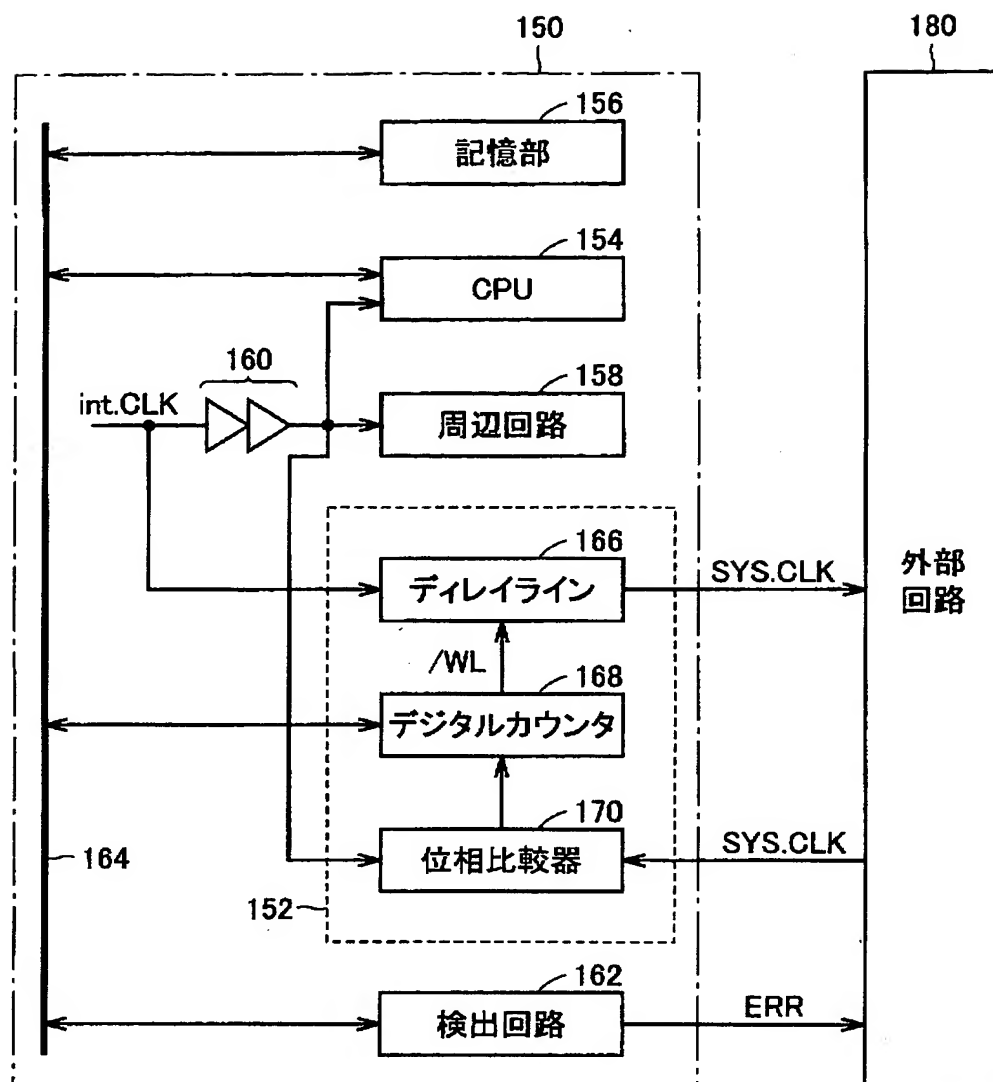
1D



【図 18】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 クロック生成回路の動作を早期に安定化するための設定をユーザが適切かつ柔軟に行なうことができる情報処理装置を提供する。

【解決手段】 デジタルPLL回路10を構成する通倍回路20および位相同期回路22は、デジタルカウンタのカウント値を調整することによって、それぞれ通倍クロックN-OUTの発振周波数および位相を調整する。CPU12は、当該情報処理装置を利用するユーザによって組まれたプログラムに従って、基準クロックREF. CLKと同一または通倍の周波数で通倍回路20の発振回路が発振するためのカウント値を通倍回路20のデジタルカウンタに設定し、出力クロックPHIの位相を基準クロックREF. CLKの位相に同期させるためのカウント値を位相同期回路22のデジタルカウンタに設定する。

【選択図】 図1

出 願 人 履 歴 情 報

1) 識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社